

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-231645

[ST.10/C]:

[JP2002-231645]

出 願 人

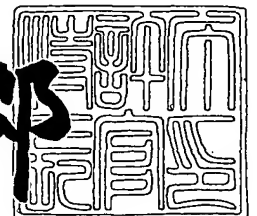
Applicant(s):

富士通株式会社

2002年11月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3090006

【書類名】 特許願

【整理番号】 0240902

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 半導体記憶装置及び半導体記憶装置の試験方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァリエルエスアイ株式会社内

【氏名】 中川 祐之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び半導体記憶装置の試験方法

【特許請求の範囲】

【請求項 1】 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置であって、

複数の外部端子から入力される各入力信号の遷移を検出し、前記各入力信号を論理合成して前記第 1 アクセスモードを処理するための第 1 エントリー信号を生成する遷移検出信号発生回路と、

前記第 1 エントリー信号に応答して前記第 1 アクセスモードの処理に対応した第 1 モードトリガ信号と、前記第 2 アクセスモードを処理するための第 2 エントリー信号に応答して前記第 2 アクセスモードの処理に対応した第 2 モードトリガ信号とを生成する制御回路と、を備え、

前記遷移検出信号発生回路には、前記複数の外部端子から入力される各入力信号を選択的に論理合成するための選択制御信号が入力されることを特徴とする半導体記憶装置。

【請求項 2】 前記選択制御信号は、前記各入力信号のうち論理合成する信号を該各入力信号毎に設定可能とするように生成されるコード情報であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記遷移検出信号発生回路は、
前記各入力信号の遷移をそれぞれ検出する複数の遷移検出回路と、
前記選択制御信号に基づいて、前記複数の遷移検出回路から出力される各検出信号を選択的に論理合成して前記第 1 エントリー信号を生成するパルス合成回路と、
を備えることを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】 前記制御回路は、テスト信号の入力時には、前記第 2 エントリー信号を無効化し前記第 1 エントリー信号に応答して前記第 2 モードトリガ信号を生成することを特徴とする請求項 1 乃至 3 の何れか一項記載の半導体記憶装置。

【請求項 5】 前記遷移検出信号発生回路は、

前記選択制御信号に基づいて前記各入力信号を選択的に論理合成し、前記第 2 アクセスモードを処理するための第 3 エントリー信号をさらに生成することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 6】 前記遷移検出信号発生回路は、

前記各入力信号の遷移をそれぞれ検出する複数の遷移検出回路と、

前記選択制御信号に基づいて、前記複数の遷移検出回路から出力される各検出信号を選択的に論理合成して前記第 1 エントリー信号と前記第 3 エントリー信号とを生成するパルス合成回路と、

を備えることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記制御回路は、テスト信号の入力時には、前記第 2 エントリー信号を無効化し前記第 3 エントリー信号に応答して前記第 2 モードトリガ信号を生成することを特徴とする請求項 5 又は 6 記載の半導体記憶装置。

【請求項 8】 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置の試験方法であって、

テスト信号を入力する第 1 のステップと、

複数の外部端子から入力する各入力信号のうち選択した特定の入力信号の遷移を検出して前記第 2 アクセスモードの処理を開始する第 2 のステップと、
を含むことを特徴とする半導体記憶装置の試験方法。

【請求項 9】 前記第 2 アクセスモードの処理が終了した後、前記第 2 のステップで選択された入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 3 のステップ、

をさらに含むことを特徴とする請求項 8 記載の半導体記憶装置の試験方法。

【請求項 10】 前記第 1 アクセスモードの処理が終了した後、前記第 2 のステップで選択されない他の入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 4 のステップ、

をさらに含むことを特徴とする請求項 9 記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置及び半導体記憶装置の試験方法に係り、詳しくは外部アクセス動作と内部アクセス動作とを処理する機能を備えた半導体記憶装置及びその試験方法に関するものである。

【 0 0 0 2 】

近年、電子情報機器等には記憶容量の大きい半導体記憶装置（D R A M : Dynamic Random Access Memory）が用いられている。D R A M は、内部回路におけるカウンタ動作に従い、メモリセルに対してセルデータのリフレッシュ動作を行うセルフリフレッシュ機能を有している。このセルフリフレッシュ機能を有するD R A M は、外部からのリフレッシュ操作が不要であるため、低消費電力化が図れるとともに、D R A M 周辺の回路設計が簡単化できる利点がある。

【 0 0 0 3 】

このようなセルフリフレッシュ機能を有するD R A M において、内部のタイマ等からはリフレッシュ要求（内部アクセス）が所定の時間間隔毎に発生し、外部のメモリコントローラ等からはデータの書込み／読出し要求（外部アクセス）が任意の時間に発生する。つまり、内部アクセスと外部アクセスは互いに非同期に発生する。これらの互いに非同期で発生する2つのアクセスモードを処理するD R A M （半導体記憶装置）のデバイス評価を正しく行うことが求められている。

【 0 0 0 4 】

【従来の技術】

図 1 3 は、従来のセルフリフレッシュ機能を有した半導体記憶装置（D R A M）の入力回路部分を示すブロック回路図である。

【 0 0 0 5 】

D R A M には、複数の制御信号CTL としてのチップイネーブル信号/CE、ライトイネーブル信号/WE、出力イネーブル信号/OE と複数（図では簡略化して2ビット示す）の外部アドレス信号ADD としてのアドレス信号A0、A1が外部端子を介して供給される。これらの各信号/CE、/WE、/OE 及びアドレス信号A0、A1は、それぞれ入力バッファ6 1～6 5 を介して遷移検出信号発生回路7 0 に入力される。入力バッファ6 1～6 5 は、入力信号をデバイスの内部電圧に応じたレベルの信号に変換する入力初段回路であり、C M O S インバータ形式又はC/M差動

増幅形式等で構成されている。

【 0 0 0 6 】

遷移検出信号発生回路 7 0 は、複数（図では例えば入力バッファ 6 1 ～ 6 5 に対応して 5 つ）の遷移検出回路 7 1 ～ 7 5（図中、T D (Transition Detector) で示す）と、パルス合成回路 7 6 とを含む。

【 0 0 0 7 】

遷移検出回路 7 1, 7 2, 7 3 は、それぞれ入力される制御信号 CTL（ここでは /CE, /WE, /OE）の遷移（H レベル又は L レベルへの変移）を検出して入力検出信号 ceb, web, oeb を出力する。同様に、遷移検出回路 7 4, 7 5 は、それぞれ入力される外部アドレス信号 ADD（ここでは A0, A1）の状態の遷移（各ビットの変化）を検出してアドレス検出信号 ad0, ad1 を出力する。各遷移検出回路 7 1 ～ 7 5 から出力される検出信号 ceb, web, oeb, ad0, ad1 は、パルス合成回路 7 6 に入力される。

【 0 0 0 8 】

パルス合成回路 7 6 は、各検出信号 ceb, web, oeb, ad0, ad1 を論理合成した遷移検出信号 mtd をメモリ制御回路 7 7 に出力する。

メモリ制御回路 7 7 は、この遷移検出信号 mtd を受けると、外部アドレス信号 ADD（ここでは A0, A1 のみ示す）により与えられる所定のリード／ライト用アドレスに対応したメモリセルのワード線を活性化させるためのワード線活性タイミング信号 wl-timing をメモリコア 7 9 に出力する。

【 0 0 0 9 】

このメモリ制御回路 7 7 には、リフレッシュタイマ 7 8 が接続されている。リフレッシュタイマ 7 8 は所定の時間間隔毎に生成したリフレッシュ要求信号 ref-req をメモリ制御回路 7 7 に出力する。そして、メモリ制御回路 7 7 は、このリフレッシュ要求信号 ref-req を受けると、図示しない内部のアドレスカウンタにより生成される所定のリフレッシュ用アドレスに対応したメモリセルのワード線を活性化させるためのワード線活性タイミング信号 wl-timing をメモリコア 7 9 に出力する。

【 0 0 1 0 】

また、このメモリ制御回路 77 には、図示しないテスト回路からのテスト信号 test が入力され、メモリ制御回路 77 は、そのテスト信号 test に基づいて、後述するテストモードでの試験を行う。

【0011】

図 14 は、メモリ制御回路 77 のブロック回路図である。

メモリ制御回路 77 は、リフレッシュ判定回路 81、内部コマンド発生回路 82 及びタイミングジェネレータ 83 を含む。

【0012】

リフレッシュ判定回路 81 には、パルス合成回路 76 からの遷移検出信号 mtd、リフレッシュタイマ 78 からのリフレッシュ要求信号 ref-req、及びテスト信号 test が入力される。

【0013】

リフレッシュ判定回路 81 は、リフレッシュ要求信号 ref-req に応答して、内部アクセス、即ちリフレッシュ動作を開始するためのリフレッシュ開始信号 ref-start をタイミングジェネレータ 83 に出力し、リフレッシュ状態信号 ref-state を内部コマンド発生回路 82 に出力する。

【0014】

ここで、リフレッシュ判定回路 81 は、リフレッシュ要求信号 ref-req よりも先に（早いタイミングで）遷移検出信号 mtd を入力する場合には、リフレッシュ動作を一旦保留する（つまり、リフレッシュ開始信号 ref-start 及びリフレッシュ状態信号 ref-state の発生を一旦保留する）。

【0015】

そして、この場合には、リフレッシュ判定回路 81 は、外部アクセス、即ちリード／ライト動作を優先させ、そのリード／ライト処理が完了した後にリフレッシュ動作を開始させる。具体的には、タイミングジェネレータ 83 から出力されるリード／ライト状態信号 rw-state がリセットされた後に、リフレッシュ判定回路 81 は、リフレッシュ開始信号 ref-start 及びリフレッシュ状態信号 ref-state を出力する。

【0016】

このように、リフレッシュ判定回路 81 は、互いに非同期で入力されるリフレッシュ要求信号 `ref-req` と遷移検出信号 `mtd` の入力タイミングを判定し、アクセス競合時（一方のアクセス処理中に他方のアクセスを受付ける場合）のリフレッシュ動作とリード／ライト動作の処理の優先度を判断する。

【0017】

内部コマンド発生回路 82 には、遷移検出信号 `mtd` が入力される。内部コマンド発生回路 82 は、遷移検出信号 `mtd` に応答してリード／ライト動作を開始するためのリード／ライト開始信号 `rw-start` をタイミングジェネレータ 83 に出力する。その際、内部コマンド発生回路 82 は、リフレッシュ判定回路 81 からのリフレッシュ状態信号 `ref-state` を入力する場合には該リフレッシュ状態信号 `ref-state` がリセットされた後に、リード／ライト開始信号 `rw-start` を出力する。

【0018】

タイミングジェネレータ 83 には、リフレッシュ判定回路 81 からのリフレッシュ開始信号 `ref-start` と内部コマンド発生回路 82 からのリード／ライト開始信号 `rw-start` とが入力される。

【0019】

そして、タイミングジェネレータ 83 は、リフレッシュ開始信号 `ref-start` に応答して、所定のリフレッシュ用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信号 `wl-timing` を出力する。また、タイミングジェネレータ 83 は、リード／ライト開始信号 `rw-start` に応答して、リード／ライト状態信号 `rw-state` を出力し、所定のリード／ライト用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信号 `wl-timing` を出力する。

【0020】

尚、タイミングジェネレータ 83 は、このワード線活性タイミング信号 `wl-timing` 以外にも、その他に例えばセンスアンプを活性化させるためのセンスアンプ活性タイミング信号等の各種の内部動作信号を生成する。以下では、説明の都合上、それらの信号についての詳細な説明及び図面は省略し、ワード線活性タイミング信号 `wl-timing` についてのみ説明する。

【0021】

次に、上記のように構成された D R A M の動作について説明する。

図 1 5 は、遷移検出信号発生回路 7 0 の動作原理を示す波形図である。

今、例えばチップイネーブル信号 / C E の状態が L レベルに遷移し、それを検出した遷移検出回路 7 1 は入力検出信号 c e b （パルス信号）を出力する。その検出信号 c e b を受けてパルス合成回路 7 6 は遷移検出信号 m t d を出力する。次いで、例えばアドレス信号 A 0 の状態が H レベル（1）に遷移し、それを検出した遷移検出回路 7 4 はアドレス検出信号 a d 0 （パルス信号）を出力する。その検出信号 a d 0 を受けてパルス合成回路 7 6 は遷移検出信号 m t d を出力する。

【 0 0 2 2 】

このように、遷移検出信号発生回路 7 0 において、パルス合成回路 7 6 は、制御信号 C T L （ / C E , / W E , / O E ）及び外部アドレス信号 A D D （ A 0 , A 1 ）のうち、何れの信号が状態遷移した場合にも遷移検出信号 m t d を出力する。

【 0 0 2 3 】

図 1 6 及び図 1 7 は、メモリ制御回路 7 7 の動作原理を示す波形図である。

まず、図 1 6 を参照しながら、アクセス競合時に遷移検出信号 m t d がリフレッシュ要求信号 r e f - r e q よりも早いタイミングでメモリ制御回路 7 7 に入力される場合について説明する。

【 0 0 2 4 】

今、制御信号 C T L 及び外部アドレス信号 A D D のうち、状態遷移した信号を検出してパルス合成回路 7 6 は遷移検出信号 m t d を出力する。その出力後に於いて、リフレッシュタイマ 7 8 からリフレッシュ要求信号 r e f - r e q が出力される。この場合、リード／ライト動作後にリフレッシュ動作が行われる。

【 0 0 2 5 】

詳述すると、内部コマンド発生回路 8 2 は、遷移検出信号 m t d に応答してリード／ライト開始信号 r w - s t a r t を出力し、それを受けてタイミングジェネレータ 8 3 は、リード／ライト状態信号 r w - s t a t e を出力し、ワード線活性タイミング信号 w l - t i m i n g を出力する。これにより、所定のリード／ライト用アドレスに対応するワード線が活性化され、セルデータの読み出し或いは書き込みが行われる。

【 0 0 2 6 】

リード／ライト動作が終了し、リード／ライト状態信号rw-stateがリセットされると、それに応答してリフレッシュ判定回路81はリフレッシュ開始信号ref-startとリフレッシュ状態信号ref-stateを出力する。このリフレッシュ開始信号ref-startを受けてタイミングジェネレータ83は、ワード線活性タイミング信号wl-timingを出力する。これにより、所定のリフレッシュ用アドレスに対応するワード線が活性化され、セルデータのリフレッシュが行われる。

【0027】

次に、図17を参照しながら、アクセス競合時にリフレッシュ要求信号ref-reqが遷移検出信号mtdよりも早いタイミングでメモリ制御回路77に入力される場合について説明する。

【0028】

この場合は、上述した図16の動作とは逆に、リフレッシュ動作後にリード／ライト動作が行われる。

即ち、リフレッシュ判定回路81は、入力タイミングの早いリフレッシュ要求信号ref-reqに応答してリフレッシュ開始信号ref-startとリフレッシュ状態信号ref-stateを出力し、そのリフレッシュ開始信号ref-startを受けてタイミングジェネレータ83は、ワード線活性タイミング信号wl-timingを出力する。これにより、セルデータのリフレッシュが行われる。

【0029】

そして、リフレッシュ動作が終了し、リフレッシュ状態信号ref-stateがリセットされると、内部コマンド発生回路82は、遷移検出信号mtdに応答してリード／ライト開始信号rw-startを出力する。それを受けてタイミングジェネレータ83は、リード／ライト状態信号rw-stateを出力し、ワード線活性タイミング信号wl-timingを出力する。これにより、セルデータの読み出し或いは書き込みが行われる。

【0030】

このように、アクセス競合時に於いてリフレッシュ動作後にリード／ライト動作が行われる場合には、リード／ライト動作の実行が最も遅くなる。つまり、外部アクセスタイムが最も大きくなる。

【 0 0 3 1 】

このため、こうした2つのアクセスモード（外部アクセスと内部アクセス（リード／ライト動作とセルフリフレッシュ動作））を処理するDRAMの特性評価を行うにあたっては、外部アクセスタイムが最大となる動作パターン（以下、ワーストパターン）のチェックが欠かせない。

【 0 0 3 2 】

図18は、テストモードを説明するための動作波形図である。

この図は、リフレッシュ動作後にリード／ライト動作を行う場合の動作パターンを擬似的に再現する試験（以下、これをテストモードという）の動作波形図である。

【 0 0 3 3 】

テストモードでは、リフレッシュ判定回路81は、図示しないテスト回路からのテスト信号testを入力する。そして、リフレッシュ判定回路81は、このテスト信号testの入力時には、遷移検出信号mtdを入力すると、リフレッシュ開始信号ref-startを出力する。

【 0 0 3 4 】

これは、上記したように、リフレッシュ判定回路81は、リフレッシュ要求信号ref-reqと遷移検出信号mtdとを互いに非同期に入力するため、試験時にリフレッシュ要求信号ref-reqによってリフレッシュ動作を発生させる方法では、所望とする動作パターンの再現性がないからである。

【 0 0 3 5 】

このため、テストモードでは、リフレッシュ判定回路81は、遷移検出信号mtdに応答してリフレッシュ開始信号ref-startとリフレッシュ状態信号ref-stateを出力する。そして、リフレッシュ動作が終了し、リフレッシュ状態信号ref-stateがリセットされると、内部コマンド発生回路82は、（先のリフレッシュ動作開始のトリガとなった）遷移検出信号mtdに応答してリード／ライト開始信号rw-startを出力する（即ちリード／ライト動作が行われる）。

【 0 0 3 6 】

このように、テストモードでは、遷移検出信号mtdの発生をトリガとしてリフ

レッシュ動作を開始することで外部アクセスのワーストパターンを擬似的に再現し、その時の外部アクセスタイムを計測して、リード／ライト動作の評価を行っている。

【 0 0 3 7 】

【発明が解決しようとする課題】

ところで、上記したような従来の構成では、以下の問題がある。

[1 : 不良モードの検出時の不具合]

DRAMに生じる不具合（不良モード）として、例えば、外部アクセス（リード／ライト）が連続する際に、デバイス内部での動作遅延（プロセス変動、温度変動、電圧マージンの不足等に起因する）等によってサイクル長が長くなり、次サイクルのリード／ライト動作に移行できなくなるような場合がある。

【 0 0 3 8 】

図 1 9 は、その不良モードを示す動作波形図である。尚、ここでは、例えばチップイネーブル信号/CE の立ち下がり、出力イネーブル信号/OE の立ち上がり、アドレス信号ADD (A0, A1) の変化時に遷移検出信号mtd が出力される場合を示している。

【 0 0 3 9 】

今、チップイネーブル信号/CE の立ち下がりで遷移検出信号mtd が出力され、それを受けてリード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateが出力される。これにより、リード／ライト動作が行われる。

【 0 0 4 0 】

次いで、出力イネーブル信号/OE の立ち上がりで遷移検出信号mtd が出力される。この際、上記のようなデバイス内部での動作遅延等が生じる場合には、次サイクルに移行することができず、リード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateが出力されない（図中、一点鎖線は本来（正常時）の動作を示す）。

【 0 0 4 1 】

ところで、こうした図 1 9 に示すような不良モードが存在する場合において、図 2 0 に示すように、出力イネーブル信号/OE の立ち上がり後にアドレス信号AD

D が変化して遷移検出信号mtd が出力される場合には、それを受けてリード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateが出力される。

【 0 0 4 2 】

この場合には、リード／ライト動作が開始されるため、実際には不良モード（図中、一点鎖線）が存在しているのにもかかわらず、その不具合を検出することができない場合があった。このため、従来ではデバイス評価を的確に行うことができなかった。

【 0 0 4 3 】

〔 2 : テストモードに関する不具合〕

上記したように、テストモードでは、遷移検出信号mtd が出力されるとリフレッシュ開始信号ref-start が出力される（リフレッシュ動作が開始される）。このため、テストモード時には、通常モード（非テストモード）時に本来実行されないリフレッシュ動作が実行されるために、所望とする動作パターンでの試験を行えない場合があった。

【 0 0 4 4 】

図 2 1 は、通常モードにおける動作パターンの例を示す動作波形図である。

この図は、外部からのライト動作と内部のリフレッシュ動作との競合時にリフレッシュ動作が先に実行される場合（ライト動作の実行が最も遅くなる場合）の動作パターンを示したものである。ここでは、例えばチップイネーブル信号/CE の立ち下がり、ライトイネーブル信号/WE の立ち上がりで遷移検出信号mtd が発生する場合を示している（尚、この例では、ライト動作はチップイネーブル信号/CE の立ち下がりで開始される）。

【 0 0 4 5 】

図 2 2 は、この動作パターン（図 2 1）をテストモードを用いて実現した場合を示す動作波形図である。

今、チップイネーブル信号/CE の立ち下がりで遷移検出信号mtd が出力され、その信号mtd を受けて、リフレッシュ開始信号ref-start が出力される（リフレッシュ動作が開始される）。このリフレッシュ動作が終了すると、前記遷移検出信号mtd を受けて、リード／ライト開始信号rw-start（具体的にはライト開始信

号) が出力される。これにより、ライト動作が開始される。

【 0 0 4 6 】

そのライト動作の終了後、ライトイネーブル信号/WE が立ち上がり、それに応答して遷移検出信号mtd が出力されると、その信号mtd を受けて、リフレッシュ開始信号ref-start が出力される。

【 0 0 4 7 】

このように、従来のテストモードでは、本来意図しないリフレッシュ動作（ライト動作後のリフレッシュ動作）が行われることにより、図 2 1 に示す通常モードでの動作パターンを再現することができなかった。

【 0 0 4 8 】

また、図 2 3 は、通常モードにおける別の動作パターンの例を示す動作波形図である。

この図は、外部からのライト動作と内部のリフレッシュ動作との競合時にリフレッシュ動作が先に実行される場合（ライト動作の実行が最も遅くなる場合）であって、そのライト動作の終了後にリード動作が行われる場合の動作パターンを示したものである。ここでは、例えばチップイネーブル信号/CE の立ち下がり、ライトイネーブル信号/WE の立ち上がり、出力イネーブル信号/OE の立ち上がりで遷移検出信号mtd が発生する場合を示す（尚、この例では、ライト動作はチップイネーブル信号/CE の立ち下がりで開始され、リード動作は出力イネーブル信号/OE の立ち下がりで開始される）。

【 0 0 4 9 】

図 2 4 は、この動作パターン（図 2 3）をテストモードを用いて実現した場合を示す動作波形図である。

今、チップイネーブル信号/CE の立ち下がりで遷移検出信号mtd が出力され、その信号mtd を受けて、リフレッシュ開始信号ref-start が出力される（リフレッシュ動作が開始される）。このリフレッシュ動作が終了すると、（そのリフレッシュ動作開始のトリガとなった）遷移検出信号mtd を受けて、リード／ライト開始信号rw-start（具体的にはライト開始信号）が出力される。これにより、ライト動作が開始される。

【0050】

そのライト動作の終了後、ライトイネーブル信号/WE が立ち上がり、それに応答して遷移検出信号mtd が出力されると、その信号mtd を受けてリフレッシュ開始信号ref-start が出力される（リフレッシュ動作が開始される）。このリフレッシュ動作が終了すると、（その2回目のリフレッシュ動作開始のトリガとなった）遷移検出信号mtd を受けて、リード／ライト開始信号rw-start（具体的にはリード開始信号）が出力される。これにより、リード動作が開始される。

【0051】

従って、この場合にも、上記同様にして、本来意図しないリフレッシュ動作（ライト動作後のリフレッシュ動作）が行われることにより、図23に示す通常モードでの動作パターンをテストモードにて再現することができなかった。

【0052】

上記のように、従来では、テストモードに於いて、意図しないリフレッシュ動作が行われることにより、実際には起こり得ない動作パターンで特性評価が行われることになる。このため、デバイス評価を正しく行うことができなかった。

【0053】

こうしたテストモードが実施される場合には、無用なリフレッシュ動作が実行されるために、その分だけ電源ドロップが大きくなる。このため、その試験結果を元に過剰な動作保証が行われてしまう場合や、実際には動作異常がない場合にも不良と判定されてしまう場合があった。従って、従来では、本来意図する任意の動作パターンのテストを実現することができず、デバイス評価を正しく行うことができなかった。

【0054】

本発明は上記問題点を解決するためになされたものであって、その目的はデバイス評価を容易且つ的確に行うことのできる半導体記憶装置及び半導体記憶装置の試験方法を提供することにある。

【0055】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、遷移検出信号発生

回路は、複数の外部端子から入力される各入力信号の遷移を検出し、該各入力信号を論理合成して第1アクセスモードを処理するための第1エントリー信号を生成する。この遷移検出信号発生回路は、選択制御信号に基づいて各入力信号を選択的に論理合成して前記第1エントリー信号を生成する。そして、制御回路は、この遷移検出信号発生回路からの第1エントリー信号に応答して第1アクセスモードの処理に対応した第1モードトリガ信号を出力する。これによれば、半導体記憶装置の試験時に、遷移検出信号発生回路にて論理合成する入力信号を特定の入力信号のみにすることが可能であるため、デバイス内に不具合が存在するか否かを容易に且つ的確に検出することが可能となる。また、無用なリフレッシュ動作の発生を抑止することができるため、所望の動作パターンを擬似的に精度良く再現可能である。

【0056】

請求項2に記載の発明によれば、前記選択制御信号はコード情報であって、このコード情報は、前記各入力信号のうち論理合成する信号を該各入力信号毎に設定可能とするように生成される。これにより、試験時に遷移検出信号発生回路にて論理合成しない入力信号を任意の信号とすることができる。

【0057】

請求項3に記載の発明によれば、遷移検出信号発生回路は複数の遷移検出回路とパルス合成回路とを備えている。そして、複数の遷移検出回路は、前記各入力信号の遷移をそれぞれ検出し、パルス合成回路は、各遷移検出回路からの検出信号を前記選択制御信号に基づき選択的に論理合成して前記第1エントリー信号を生成する。この構成によれば、遷移検出信号発生回路の回路規模が増大することもない。

【0058】

請求項4に記載の発明によれば、前記制御回路は、テスト信号の入力時には、第2アクセスモードを処理するための第2エントリー信号を無効化し前記第1エントリー信号に応答して該第2アクセスモードの処理に対応した第2モードトリガ信号を生成する。これにより、互いに非同期で発生する第1アクセスモードと第2アクセスモードにおいて、第2アクセスモードを意図とする所定のタイミン

グで発生させることが可能である。また、試験時に於いて、この第2アクセスモードは、遷移検出信号発生回路からの第1エントリー信号をトリガとして発生するため、該第2アクセスモードの無用な発生が抑止される。

【0059】

請求項5に記載の発明によれば、前記遷移検出信号発生回路は、前記選択制御信号に基づいて前記各入力信号を選択的に論理合成し、前記第2アクセスモードを処理するための第3エントリー信号を生成する。これによれば、遷移検出信号発生回路は、第1アクセスモードを発生させるための第1エントリー信号と第2アクセスモードを発生させるための第3エントリー信号を出力するため、テスト時に於いて、本来不要とする第2アクセスモードの発生を阻止したために、第1アクセスモードを発生できなくなることが防止される。

【0060】

請求項6に記載の発明によれば、前記遷移検出信号発生回路は、前記各入力信号の遷移を検出する複数の遷移検出回路と、各遷移検出回路からの検出信号を前記選択制御信号に基づき選択的に論理合成して前記第1エントリー信号と前記第3エントリー信号とを生成するパルス合成回路とを備えている。従って、この構成によれば、遷移検出信号発生回路の回路規模が増大することもない。

【0061】

請求項7に記載の発明によれば、前記制御回路は、テスト信号の入力時には、第2アクセスモードを処理するための第2エントリー信号を無効化し前記第3エントリー信号に応答して該第2アクセスモードの処理に対応した第2モードトリガ信号を生成する。これにより、互いに非同期で発生する第1アクセスモードと第2アクセスモードにおいて、第2アクセスモードを意図とする所定のタイミングで発生させることが可能である。また、試験時に於いて、この第2アクセスモードは、遷移検出信号発生回路からの第3エントリー信号をトリガとして発生するため、該第2アクセスモードの無用な発生が抑止される。

【0062】

請求項8に記載の発明によれば、前記第1アクセスモードと第2アクセスモードとを処理する半導体記憶装置の試験では、テスト信号を入力する第1のステッ

プと、複数の外部端子から入力する各入力信号のうち選択した特定の入力信号の遷移を検出して前記第 2 アクセスモードの処理を開始する第 2 のステップとを行うようにした。これにより、互いに非同期で発生する第 1 アクセスモードと第 2 アクセスモードにおいて、第 2 アクセスモードを意図とする所定のタイミングで発生させ、試験時に所望の動作パターンを擬似的に精度良く再現可能である。

【 0 0 6 3 】

請求項 9 に記載の発明によれば、前記第 2 アクセスモードの処理が終了した後は、前記第 2 のステップで選択された入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 3 のステップを行うようにした。これにより、第 1 アクセスモードのアクセスタイムが最も長くなる場合を再現してデバイス評価を行うことができる。

【 0 0 6 4 】

請求項 1 0 に記載の発明によれば、前記第 1 アクセスモードの処理が終了した後は、前記第 2 のステップで選択されない他の入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 4 のステップを行うようにした。これにより、第 2 アクセスモードの無用な発生が抑止される。

【 0 0 6 5 】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 ～図 5 に従って説明する。

【 0 0 6 6 】

図 1 は、本実施形態のセルフリフレッシュ機能を有した半導体記憶装置 (D R A M) の入力回路部分を示すブロック回路図である。

D R A M には、複数の制御信号 CTL としてのチップイネーブル信号 /CE 、 ライ
トイネーブル信号 /WE 、 出力イネーブル信号 /OE と複数 (図では簡略化して 2 ビ
ット分を示す) の外部アドレス信号 ADD としてのアドレス信号 A0, A1 が外部端子
を介して供給される。これらの各信号 /CE , /WE , /OE 及びアドレス信号 A0, A1
は、それぞれ入力バッファ 1 1 ～ 1 5 を介して遷移検出信号発生回路 2 0 に入力
される。入力バッファ 1 1 ～ 1 5 は、入力信号をデバイスの内部電圧に応じたレ

ベルの信号に変換する入力初段回路であり、CMOSインバータ形式又はC/M差動増幅形式等で構成されている。

【0067】

遷移検出信号発生回路20は、複数（図では例えば入力バッファ11～15に対応して5つ）の遷移検出回路21～25（図中、TD(Transition Detector)で示す）と、パルス合成回路26とを含む。

【0068】

遷移検出回路21, 22, 23は、それぞれ入力される制御信号CTL（ここでは/CE, /WE, /OE）の遷移（Hレベル又はLレベルへの変移）を検出して入力検出信号ceb, web, oebを出力する。同様に、遷移検出回路24, 25は、それぞれ入力される外部アドレス信号ADD（ここではA0, A1）の状態の遷移（各ビットの変化）を検出してアドレス検出信号ad0, ad1を出力する。これらの各遷移検出回路21～25から出力される検出信号ceb, web, oeb, ad0, ad1はパルス合成回路26に入力される。

【0069】

パルス合成回路26は、各検出信号ceb, web, oeb, ad0, ad1を論理合成し、第1アクセスモードとしての外部アクセス、即ちリード/ライト処理を実行するための遷移検出信号mtds（第1エンタリー信号）を生成してメモリ制御回路27に出力する。

【0070】

このパルス合成回路26には図示しないコード発生回路が接続されている。コード発生回路は、図示しないテスト回路から供給されるテスト信号の入力に基づいて、内部のレジスタ（図示略）に予め記憶された選択制御信号としてのパルス発生制御コードen-codeをパルス合成回路26に出力する。尚、パルス発生制御コードen-codeは、複数の外部端子から供給される入力信号（図示略）によって設定されるコード情報である。

【0071】

詳述すると、このパルス発生制御コードen-codeは、パルス合成回路26に入力される各遷移検出回路21～25からの検出信号ceb, web, oeb, ad0, ad

1 を必要に応じてマスク（無効化）する。つまり、パルス合成回路 2 6 は、各遷移検出回路 2 1 ～ 2 5 から出力される検出信号 *ceb* , *web* , *oeb* , *ad0* , *ad1* のうち、論理合成する信号をパルス発生制御コード *en-code* に基づいて選択する。

【 0 0 7 2 】

このように、パルス合成回路 2 6 は、パルス発生制御コード *en-code* に従って各遷移検出回路 2 1 ～ 2 5 からの検出信号 *ceb* , *web* , *oeb* , *ad0* , *ad1* を選択的に論理合成し、該パルス発生制御コード *en-code* により無効化される信号についてはそれを入力する場合にも遷移検出信号 *mtds* を発生しない。

【 0 0 7 3 】

メモリ制御回路 2 7 は、このパルス合成回路 2 6 からの遷移検出信号 *mtds* を受け、外部アドレス信号 *ADD* （ここでは *A0* , *A1* のみ示す）による所定のリード／ライト用アドレスに対応したメモリセルのワード線を活性化させるためのワード線活性タイミング信号 *wl-timing* をメモリコア 2 9 に出力する。

【 0 0 7 4 】

このメモリ制御回路 2 7 には、リフレッシュタイマ 2 8 が接続されている。リフレッシュタイマ 2 8 は、第 2 アクセスモードとしての内部アクセス、即ちリフレッシュ処理を実行するためのリフレッシュ要求信号 *ref-req* （第 2 エントリー信号）を所定の時間間隔毎に生成してメモリ制御回路 2 7 に出力する。

【 0 0 7 5 】

メモリ制御回路 2 7 は、このリフレッシュ要求信号 *ref-req* を受けて、図示しない内部のアドレスカウンタから出力される所定のリフレッシュ用アドレスに対応したメモリセルのワード線を活性化させるためのワード線活性タイミング信号 *wl-timing* をメモリコア 2 9 に出力する。

【 0 0 7 6 】

また、このメモリ制御回路 2 7 には、図示しないテスト回路からのテスト信号 *test* が入力され、メモリ制御回路 2 7 は、このテスト信号 *test* に基づいて後述するテストモードでの試験を行う。

【 0 0 7 7 】

因みに、本実施形態において、メモリ制御回路 2 7 は、図 1 4 に示すメモリ制

御回路77と同様に構成され、判定回路としてのリフレッシュ判定回路81、モードトリガ発生回路としての内部コマンド発生回路82及び信号生成回路としてのタイミングジェネレータ83を含む。このため、ここではそれらの詳細な説明を一部省略して説明する。

【0078】

即ち、本実施形態では、リフレッシュ判定回路81には、リフレッシュタイマ28からのリフレッシュ要求信号ref-req及びパルス合成回路26からの遷移検出信号mtdsが入力される。リフレッシュ判定回路81は、互いに非同期で入力されるリフレッシュ要求信号ref-reqと遷移検出信号mtdsとの入力タイミングを判定して、リフレッシュ動作とリード／ライト動作との処理の優先度を判断し、その優先度に従ってリフレッシュ開始信号ref-start（第2モードトリガ信号）を出力する。

【0079】

その際、上記したように、リフレッシュ判定回路81には図示しないテスト回路からのテスト信号testが入力され、同リフレッシュ判定回路81は、そのテスト信号testを入力する場合には、遷移検出信号mtdsに応答してリフレッシュ開始信号ref-startを出力する。尚、図3には、本実施形態のリフレッシュ判定回路81（パルス発生制御コードen-codeに基づいて生成される遷移検出信号mtdsを入力する）の一構成例を示す。

【0080】

内部コマンド発生回路82には、パルス合成回路26からの遷移検出信号mtdsが入力される。内部コマンド発生回路82は、その遷移検出信号mtdsに応答してリード／ライト開始信号rw-start（第1モードトリガ信号）を出力する。

【0081】

そして、タイミングジェネレータ83は、リフレッシュ判定回路81からのリフレッシュ開始信号ref-startと内部コマンド発生回路82からのリード／ライト開始信号rw-startとを入力し、各信号ref-start、rw-startにそれぞれ対応したワード線活性タイミング信号wl-timing（内部動作信号）を出力する。

【0082】

図 2 は、遷移検出信号発生回路 2 0 の一構成例を示す回路図である。

例えば、遷移検出回路 2 1 は、チップイネーブル信号/CE の立ち下がりに応答して、ワンショットパルス（パルス幅はディレイ回路の遅延時間に依存する）を生成する。また、遷移検出回路 2 2, 2 3 は、それぞれライトイネーブル信号/WE, 出力イネーブル信号/OE の立ち上がりに応答してワンショットパルスを生成する。

【 0 0 8 3 】

同様に、遷移検出回路 2 4 は、アドレス信号 A0 の立ち上がり／立ち下がりに応答してワンショットパルスを生成する。尚、アドレス信号 A1（図 1 参照）の変化を検出する遷移検出回路 2 5 及びその他のアドレス信号の変化を検出する遷移検出回路は、遷移検出回路 2 4 と同様な構成である。

【 0 0 8 4 】

また、例えばパルス合成回路 2 6 は、複数の信号選択用回路（図中、ナンド回路 2 6 a ～ 2 6 d）と、1 つの信号合成用回路（図中、ナンド回路 2 6 e）とを備える。ここで、各信号選択用回路は、遷移検出回路 2 1 ～ 2 5 にそれぞれ対応して設けられ、信号合成用回路は、各信号選択用回路の出力信号を論理合成した信号を出力する（尚、図 2 においては、遷移検出回路 2 1 ～ 2 4 のみを示しており、それらに対応して 4 つの信号選択用回路（ナンド回路 2 6 a ～ 2 6 d）を示している）。

【 0 0 8 5 】

具体的には、各ナンド回路 2 6 a ～ 2 6 d には、遷移検出回路 2 1 ～ 2 4 からの検出信号 ceb, web, oeb, ad0 と、それらに対応したコード情報を持つパルス発生制御コード en-code（図中、en-ceb, en-web, en-oeb, en-ad0）とが入力される。

【 0 0 8 6 】

例えば、ナンド回路 2 6 a は、L レベルのパルス発生制御コード en-ceb に応答して、遷移検出回路 2 1 からの検出信号 ceb を無効化する（即ち、L レベルのパルス発生制御コード en-ceb を入力する間、ナンド回路 2 6 a の出力は H レベルに固定される）。同様に、ナンド回路 2 6 b ～ 2 6 d は、それぞれ L レベルのパル

ス発生制御コードen-web, en-oeb, en-ad0に回答して、遷移検出回路22～24からの検出信号web, oeb, ad0を無効化する。

【0087】

このように、パルス合成回路26は、パルス発生制御コードen-code（ここではen-ceb, en-web, en-oeb, en-ad0）に基づいて、各検出信号ceb, web, oeb, ad0を選択的に論理合成して生成した遷移検出信号mtdsを出力する。

【0088】

次に、上記のように構成されたDRAMの動作について説明する。

図4は、不良モードを検出する実施例を示す動作波形図である。

尚、図は、例えばチップイネーブル信号/CEの立ち下がり時及び出力イネーブル信号/OEの立ち上がり時に遷移検出信号mtdsが出力され、外部アドレス信号ADD（A0, A1）の変化時には遷移検出信号mtdsが出力されない場合を示すものである。つまり、遷移検出信号発生回路20において、パルス合成回路26に入力される遷移検出回路24, 25からの検出信号ad0, ad1は、パルス発生制御コードen-codeにより無効化される。

【0089】

今、チップイネーブル信号/CEの立ち下がりで遷移検出信号mtdsが出力され、それを受けてリード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateが出力される。これにより、リード／ライト動作が行われる。

【0090】

次いで、出力イネーブル信号/OEの立ち上がりで遷移検出信号mtdsが出力される。この際、デバイス内部での動作遅延（ノイズ、プロセス変動、温度変動、電圧マージンの不足等に起因する）等が生じる場合は、次サイクルのリード／ライト動作に移行することができない。即ち、この場合には、本来出力されるはずのリード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateが出力されなくなる（図中、一点鎖線は本来（正常時）の動作を示す）。

【0091】

ここで、上記出力イネーブル信号/OEの立ち上がり後に、外部アドレス信号ADD（アドレス値）が変化する。しかしながら、この際、遷移検出回路24或いは

遷移検出回路 2 5 からの検出信号 ad0 , ad1 はパルス発生制御コード en-code により無効化される。即ち、外部アドレス信号 ADD が変化しても遷移検出信号 mtds (図中、二点鎖線で示す) は出力されず、リード／ライト開始信号 rw-start 及びリード／ライト状態信号 rw-state は出力されない。

【 0 0 9 2 】

従って、本実施形態では、こうした不良モード (本来実行されるはずのリード／ライト動作が実行されない不具合) が存在している場合にも、その動作パターンを再現することが可能であるため、デバイス内に存在する不具合を正確に検出することが可能である。尚、本実施形態では、説明の簡略化のため、外部アドレス信号 ADD の変化時に遷移検出信号 mtds を出力しない場合についてのみ説明したが、同様にして選択的に制御信号 CTL (/CE , /WE , /OE) の遷移時に遷移検出信号 mtds を出力しないようにして、不良モードが存在するか否かを検出するようにしてもよい。

【 0 0 9 3 】

図 5 は、テストモードの実施例を示す動作波形図である。

尚、図は、アクセス競合時にライト動作がリフレッシュ動作後に実行される場合 (ライト動作の実行が最も遅くなる場合) の動作パターン (図 2 1 参照) をテストモードにて再現した例を示すものである。ここでは、例えばチップイネーブル信号 /CE の立ち下がりでライト動作のための遷移検出信号 mtds が出力され、ライトイネーブル信号 /WE の立ち上がりで発生する遷移検出信号 mtds がパルス発生制御コード en-code によって抑制される場合を示す。

【 0 0 9 4 】

今、チップイネーブル信号 /CE の立ち下がりで遷移検出信号 mtds が出力され、その信号 mtds を受けて、リフレッシュ開始信号 ref-start が出力される (リフレッシュ動作が開始される) 。リフレッシュ動作が終了すると、(そのリフレッシュ動作開始のトリガとなった) 前記遷移検出信号 mtds を受けて、リード／ライト開始信号 rw-start (具体的にはライト開始信号) が出力される。これにより、ライト動作が開始される。

【 0 0 9 5 】

そのライト動作の終了後、ライトイネーブル信号/WE が立ち上がる。この際、遷移検出回路 2 2 からの検出信号web はパルス発生制御コードen-code により無効化される。即ち、ライトイネーブル信号/WE が遷移しても遷移検出信号mtds (図中、二点鎖線で示す) は出力されない。このため、リフレッシュ開始信号ref-start は出力されず、リフレッシュ動作は実行されない。

【 0 0 9 6 】

つまり、本実施形態では、リフレッシュ動作は、パルス発生制御コードen-code に基づいて、チップイネーブル信号/CE の立ち下がり時にのみ発生する。従って、テストモード時に於いて、本来意図しないリフレッシュ動作は実行されず、図 2 1 に示す動作パターン (アクセス競合時におけるリフレッシュ動作後のライト動作) を擬似的に再現することが可能である。これにより、ワーストパターン等の所望の動作パターンをテストモードで再現して、デバイス評価を精度よく行うことが可能である。

【 0 0 9 7 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) パルス合成回路 2 6 は、制御信号CTL の遷移を検出する遷移検出回路 2 1 ~ 2 3 からの検出信号ceb , web , oeb 及び外部アドレス信号ADD の遷移を検出する遷移検出回路 2 4 , 2 5 からの検出信号ad0 , ad1 をパルス発生制御コードen-code により選択的に論理合成した遷移検出信号mtdsを生成する。これにより、不良モードの存在の有無を容易に且つ的確に検出することが可能となる。

【 0 0 9 8 】

(2) テストモードの実行時に於いて、同様にパルス合成回路 2 6 は、検出信号ceb , web , oeb , ad0 , ad1 をパルス発生制御コードen-code に基づいて選択的に論理合成した遷移検出信号mtdsを生成する。これにより、無用なリフレッシュ動作の発生を抑止することができるため、ワーストパターン等の所望の動作パターンを擬似的に再現することが可能となる。従って、より適正なデバイス評価を行うことができる。

【 0 0 9 9 】

(3) 本実施形態では、パルス合成回路 2 6 にて生成する遷移検出信号mtdsを

パルス発生制御コードen-code によって制御する構成としたため、従来の構成と比べて回路規模が増大することもない。

【0100】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図6～図12に従って説明する。

図6は、第二実施形態の半導体記憶装置(DRAM)の入力回路部分を示すブロック回路図である。尚、本実施形態は、第一実施形態における遷移検出信号発生回路20内のパルス合成回路26と、メモリ制御回路27の構成を一部変更した構成である。従って、第一実施形態と同様の構成部分については同一符号を付してそれらの詳細な説明を一部省略する。

【0101】

即ち、遷移検出信号発生回路31は、複数(図では、第一実施形態と同様、例えば各信号/CE, /WE, /OE, A0, A1の遷移をそれぞれ検出する5つを示す)の遷移検出回路21～25と、それらの各検出信号ceb, web, oeb, ad0, ad1を論理合成するパルス合成回路32とを含む。

【0102】

このパルス合成回路32は、各検出信号ceb, web, oeb, ad0, ad1を論理合成し、コマンド用遷移検出信号mtdcs(第1エントリー信号)とリフレッシュ用遷移検出信号mtdrs(第3エントリー信号)とを生成してメモリ制御回路33に出力する。具体的には、本実施形態において、パルス合成回路32は、上記パルス発生制御コードen-codeに基づいて、各検出信号ceb, web, oeb, ad0, ad1を選択的に論理合成して生成したコマンド用遷移検出信号mtdcsとリフレッシュ用遷移検出信号mtdrsとをそれぞれ出力する。

【0103】

図7は、図6のメモリ制御回路33のブロック回路図である。

このメモリ制御回路33は、リフレッシュ判定回路41、内部コマンド発生回路42及びタイミングジェネレータ43を含む。

【0104】

リフレッシュ判定回路41は、図14のリフレッシュ判定回路81と略同様に

構成され、本実施形態では、パルス合成回路32からのリフレッシュ用遷移検出信号mtdrs、リフレッシュタイマ28からのリフレッシュ要求信号ref-req及び図示しないテスト回路からのテスト信号testを入力する。

【0105】

そして、リフレッシュ判定回路41は、互いに非同期で入力されるリフレッシュ要求信号ref-reqと遷移検出信号mtdrsの入力タイミングを判定してアクセス競合時のリフレッシュ動作とリード／ライト動作の処理の優先度を判断する。

【0106】

詳しくは、リフレッシュ判定回路41は、リフレッシュ要求信号ref-reqにตอบสนองして、リフレッシュ開始信号ref-start及びリフレッシュ状態信号ref-stateを出力する。その際、リフレッシュ判定回路41は、リフレッシュ要求信号ref-reqよりも先に（早いタイミングで）遷移検出信号mtdrsを入力する場合には、リード／ライト状態信号rw-stateがリセットされた後に、リフレッシュ開始信号ref-start及びリフレッシュ状態信号ref-stateを出力する。

【0107】

また、内部コマンド発生回路42は、図14の内部コマンド発生回路82と同様に構成され、本実施形態では、パルス合成回路32からの遷移検出信号mtdcsを入力する。

【0108】

そして、内部コマンド発生回路42は、遷移検出信号mtdcsにตอบสนองしてリード／ライト開始信号rw-startをする。その際、内部コマンド発生回路42は、リフレッシュ判定回路41からのリフレッシュ状態信号ref-stateを入力する場合には該リフレッシュ状態信号ref-stateがリセットされた後に、リード／ライト開始信号rw-startを出力する。

【0109】

タイミングジェネレータ43は、図14のタイミングジェネレータ83と同様に構成され、リフレッシュ判定回路41からのリフレッシュ開始信号ref-startと内部コマンド発生回路42からのリード／ライト開始信号rw-startとを入力する。

【 0 1 1 0 】

そして、タイミングジェネレータ 4 3 は、リフレッシュ開始信号 ref-start に
 応答して、図示しない内部アドレスカウンタにて生成される所定のリフレッシュ
 用アドレスに対応したワード線を活性化させるためのワード線活性タイミング信
 号 wl-timing を出力する。

【 0 1 1 1 】

一方、タイミングジェネレータ 4 3 は、リード／ライト開始信号 rw-start に
 応答して、リード／ライト状態信号 rw-state を出力し、外部アドレス信号 ADD にて
 与えられる所定のリード／ライト用アドレスに対応したワード線を活性化させる
 ためのワード線活性タイミング信号 wl-timing を出力する。

【 0 1 1 2 】

尚、タイミングジェネレータ 4 3 は、このワード線活性タイミング信号 wl-tim
 ing 以外にも、その他に例えばセンスアンプを活性化させるためのセンスアンプ
 活性タイミング信号等の各種の内部動作信号を生成する。ここでは、説明の都合
 上、それらの信号についての詳細な説明及び図面は省略し、ワード線活性タイミ
 ング信号 wl-timing についてのみ説明する。

【 0 1 1 3 】

図 8 は、遷移検出信号発生回路 3 1 の一構成例を示す回路図である。

尚、同図において、入力バッファ 1 1 ～ 1 4、遷移検出回路 2 1 ～ 2 4 の構成
 は図 2 と同様であるため、ここでは詳細な説明は省略する。

【 0 1 1 4 】

本実施形態において、パルス合成回路 3 2 は、コマンド用遷移検出信号 mtdcs
 を生成するための複数の信号選択用回路（図中、ナンド回路 3 2 a ～ 3 2 d）と
 1 つの信号合成用回路（図中、ナンド回路 3 2 e）とを備える。また、このパル
 ス合成回路 3 2 は、リフレッシュ用遷移検出信号 mtdrs を生成するための複数の
 信号選択用回路（図中、ナンド回路 3 2 f ～ 3 2 i）と 1 つの信号合成用回路（
 図中、ナンド回路 3 2 j）とを備える。

【 0 1 1 5 】

尚、複数の信号選択用回路は、遷移検出信号発生回路 3 1 内の各遷移検出回路

に対応して設けられるものであり、図 8 では、説明の簡略化の為、各遷移検出信号 2 1 ~ 2 4 に対応して、それぞれナンド回路 3 2 a ~ 3 2 d, 3 2 f ~ 3 2 i が設けられる様子を示している。

【 0 1 1 6 】

具体的には、各ナンド回路 3 2 a ~ 3 2 d には、遷移検出回路 2 1 ~ 2 4 からの検出信号 *ceb*, *web*, *oeb*, *ad0* と、それらに対応したコード情報を持つパルス発生制御コード *en-code* (図中、*en-ceb1*, *en-web1*, *en-oeb1*, *en-ad01*) とが入力される。

【 0 1 1 7 】

例えばナンド回路 3 2 a は、L レベルのパルス発生制御コード *en-ceb1* に応答して、遷移検出回路 2 1 からの検出信号 *ceb* を無効化する (即ち、L レベルのパルス発生制御コード *en-ceb1* を入力する間、ナンド回路 3 2 a の出力は H レベルに固定される)。同様に、ナンド回路 3 2 b ~ 3 2 d は、それぞれ L レベルのパルス発生制御コード *en-web1*, *en-oeb1*, *en-ad01* に応答して、遷移検出回路 2 2 ~ 2 4 からの検出信号 *web*, *oeb*, *ad0* を無効化する。

【 0 1 1 8 】

また、同様に各ナンド回路 3 2 f ~ 3 2 i には、遷移検出回路 2 1 ~ 2 4 からの検出信号 *ceb*, *web*, *oeb*, *ad0* と、それらにそれぞれ対応したパルス発生制御コード *en-code* (図中、*en-ceb2*, *en-web2*, *en-oeb2*, *en-ad02*) とが入力される。

【 0 1 1 9 】

そして、例えば各ナンド回路 3 2 f ~ 3 2 i は、それぞれ L レベルのパルス発生制御コード *en-ceb2*, *en-web2*, *en-oeb2*, *en-ad02* に応答して、遷移検出回路 2 2 ~ 2 4 からの検出信号 *ceb*, *web*, *oeb*, *ad0* を無効化する。

【 0 1 2 0 】

このように、パルス合成回路 3 2 は、パルス発生制御コード *en-code* (ここでは *en-ceb1*, *en-web1*, *en-oeb1*, *en-ad01* 及び *en-ceb2*, *en-web2*, *en-oeb2*, *en-ad02*) に基づいて、各検出信号 *ceb*, *web*, *oeb*, *ad0* を選択的に論理合成して生成したコマンド用遷移検出信号 *mtdcs* とリフレッシュ用遷移検出信号 *mt*

drs とを出力する。

【 0 1 2 1 】

次に、上記のように構成された D R A M の動作について説明する。

図 1 0 は、不良モードを検出する実施例を示す動作波形図である。

尚、図は、例えばチップイネーブル信号/CE の立ち下がり時及び出力イネーブル信号/OE の立ち上がり時にコマンド用遷移検出信号 mtdcs が出力され、外部アドレス信号 ADD (A0, A1) の変化時には同遷移検出信号 mtdcs が出力されない場合を示している。つまり、コマンド用遷移検出信号 mtdcs の生成時に於いて、パルス合成回路 3 2 に入力される遷移検出回路 2 4, 2 5 からの検出信号 ad0, ad1 は、パルス発生制御コード en-code により無効化される。

【 0 1 2 2 】

また、ここでは、リフレッシュ用遷移検出信号 mtdrs は、チップイネーブル信号/CE, 出力イネーブル信号/OE, 外部アドレス信号 ADD (A0, A1) の何れが遷移する場合にも出力されない。つまり、リフレッシュ用遷移検出信号 mtdrs の生成時に於いて、パルス合成回路 3 2 に入力される遷移検出回路 2 1 ~ 2 5 からの検出信号 ceb, web, oeb, ad0, ad1 は、パルス発生制御コード en-code により無効化される。

【 0 1 2 3 】

今、チップイネーブル信号/CE の立ち下がりでコマンド用遷移検出信号 mtdcs が出力され、それを受けてリード/ライト開始信号 rw-start 及びリード/ライト状態信号 rw-state が出力される。これにより、リード/ライト動作が行われる。

【 0 1 2 4 】

次いで、出力イネーブル信号/OE の立ち上がりでコマンド用遷移検出信号 mtdcs が出力される。この際、デバイス内部での動作遅延（ノイズ、プロセス変動、温度変動、電圧マージンの不足等に起因する）等が生じる場合は、次サイクルのリード/ライト動作に移行することができない。即ち、この場合には、本来出力されるはずのリード/ライト開始信号 rw-start 及びリード/ライト状態信号 rw-state が出力されなくなる（図中、一点鎖線は本来（正常時）の動作を示す）。

【 0 1 2 5 】

ここで、上記出力イネーブル信号/OE の立ち上がり後に、外部アドレス信号ADD（アドレス値）が変化する。しかしながら、この際、遷移検出回路24 或いは遷移検出回路25からの検出信号ad0，ad1 はパルス発生制御コードen-code により無効化される。即ち、外部アドレス信号ADD が変化してもコマンド用遷移検出信号mtdcs（図中、二点鎖線で示す）は出力されず、リード／ライト開始信号rw-start及びリード／ライト状態信号rw-stateは出力されない。

【0126】

従って、本実施形態では、第一実施形態と同様、不良モードが存在している場合にも、その動作パターンを再現することが可能であるため、デバイス内に存在する不具合を正確に検出することが可能である。尚、本実施形態では、外部アドレス信号ADD の変化時にコマンド用遷移検出信号mtdcs を出力しない場合についてのみ説明したが、同様にして選択的に制御信号CTL（/CE，/WE，/OE）の遷移時に同遷移検出信号mtdcs を出力しないようにして、不良モードが存在するかどうかを検出するようにしてもよい。

【0127】

図11は、テストモードの実施例を示す動作波形図である。

尚、図は、アクセス競合時にライト動作がリフレッシュ動作後に実行される場合（ライト動作の実行が最も遅くなる場合）の動作パターン（図21参照）をテストモードにて再現した例を示すものである。

【0128】

ここで、同図では、例えばコマンド用遷移検出信号mtdcs は、チップイネーブル信号/CE の立ち下がり時、ライトイネーブル信号/WE の立ち上がり時に出力される場合を示す。一方、リフレッシュ用遷移検出信号mtdrs は、チップイネーブル信号/CE の立ち下がり時にのみ出力され、ライトイネーブル信号/WE の立ち上がり時にはその発生がパルス発生制御コードen-code によって抑制される場合を示す。

【0129】

今、チップイネーブル信号/CE の立ち下がり時で各遷移検出信号mtdcs，mtdrs が出力され、リフレッシュ用遷移検出信号mtdrs を受けて、リフレッシュ開始信

号ref-start が出力される（リフレッシュ動作が開始される）。リフレッシュ動作が終了すると、（上記チップイネーブル信号/CE の立ち下がりで発生した）コマンド用遷移検出信号mtdcs を受けて、リード／ライト開始信号rw-start（具体的にはライト開始信号）が出力される。これにより、ライト動作が開始される。

【 0 1 3 0 】

そのライト動作の終了後、ライトイネーブル信号/WE が立ち上がる。この際、リフレッシュ用遷移検出信号mtdrs の生成時に於いて、遷移検出回路 2 2 からの検出信号web はパルス発生制御コードen-code により無効化される。即ち、ライトイネーブル信号/WE が遷移してもリフレッシュ用遷移検出信号mtdrs（図中、二点鎖線で示す）は出力されない。このため、リフレッシュ開始信号ref-start は出力されず、リフレッシュ動作は実行されない。

【 0 1 3 1 】

つまり、第一実施形態と同様に、リフレッシュ動作は、パルス発生制御コードen-code に基づいて、チップイネーブル信号/CE の立ち下がり時にのみ発生する。従って、前記同様、図 2 1 に示す動作パターン（アクセス競合時におけるリフレッシュ動作後のライト動作）をテストモードで擬似的に再現することができ、デバイスの評価を精度良く行うことが可能である。

【 0 1 3 2 】

図 1 2 は、テストモードの他の実施例を示す動作波形図である。

尚、図は、アクセス競合時にライト動作がリフレッシュ動作後に実行される場合（ライト動作の実行が最も遅くなる場合）に於いて、ライト動作の終了後にリード動作が行われる場合の動作パターン（図 2 3 参照）をテストモードにて再現した例を示すものである。

【 0 1 3 3 】

ここで、同図では、例えばコマンド用遷移検出信号mtdcs は、チップイネーブル信号/CE の立ち下がり時、ライトイネーブル信号/WE の立ち上がり時、出力イネーブル信号/OE の立ち上がり時に出力される場合を示す。一方、リフレッシュ用遷移検出信号mtdrs は、チップイネーブル信号/CE の立ち下がり時、出力イネーブル信号/OE の立ち上がり時にのみ出力され、ライトイネーブル信号/WE の立

ち上がり時にはその発生がパルス発生制御コードen-code によって抑制される場合を示す。

【 0 1 3 4 】

今、チップイネーブル信号/CE の立ち下がりで各遷移検出信号mtdcs , mtdrs が出力され、リフレッシュ用遷移検出信号mtdrs を受けて、リフレッシュ開始信号ref-start が出力される（リフレッシュ動作が開始される）。リフレッシュ動作が終了すると、（上記チップイネーブル信号/CE の立ち下がりで発生した）コマンド用遷移検出信号mtdcs を受けて、リード／ライト開始信号rw-start（具体的にはライト開始信号）が出力される。これにより、ライト動作が開始される。

【 0 1 3 5 】

そのライト動作の終了後、ライトイネーブル信号/WE が立ち上がる。この際、リフレッシュ用遷移検出信号mtdrs の生成時に於いて、遷移検出回路 2 2 からの検出信号web はパルス発生制御コードen-code により無効化される。即ち、ライトイネーブル信号/WE が遷移してもリフレッシュ用遷移検出信号mtdrs（図中、二点鎖線で示す）は出力されない。このため、リフレッシュ開始信号ref-start は出力されず、リフレッシュ動作は実行されない。

【 0 1 3 6 】

次いで、出力イネーブル信号/OE が立ち下がると、（上記ライトイネーブル信号/WE の立ち上がりで発生した）コマンド用遷移検出信号mtdcs を受けて、リード／ライト開始信号rw-start（具体的にはリード開始信号）が出力される。これにより、リード動作が開始される。

【 0 1 3 7 】

このように、本実施形態では、テストモードに於いて、無用なリフレッシュ動作の実行を抑止しながら、別途生成されるコマンド用遷移検出信号mtdcs によってリード動作を確実に実行させることができる。従って、本実施形態では、図 2 3 に示す動作パターン（アクセス競合時に、リフレッシュ動作後にライト動作、リード動作を連続して行う場合）をテストモードにて擬似的に再現することができる。

【 0 1 3 8 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) パルス合成回路 3 2 は、遷移検出回路 2 1 ~ 2 5 からの検出信号 *ceb* , *web* , *oeb* , *ad0* , *ad1* をパルス発生制御コード *en-code* に基づいて選択的に論理合成し、コマンド用遷移検出信号 *mtdcs* とリフレッシュ用遷移検出信号 *mtdrs* とをそれぞれ生成する。つまり、本実施形態では、外部アクセス（リード／ライト動作）を処理するためのコマンド用遷移検出信号 *mtdcs* と、内部アクセス（リフレッシュ動作）を処理するためのリフレッシュ用遷移検出信号 *mtdrs* とが生成される。このような構成を用いれば、テストモードに於いて、本来不要とするリフレッシュ動作の実行を阻止したために、意図とする動作パターンまでが実現されなくなる（リード／ライト動作までが実行されなくなる）ことを防止できる。

【 0 1 3 9 】

尚、上記各実施形態は、以下の態様で実施してもよい。

- ・第一実施形態では、リフレッシュ動作後にライト動作を行うワーストパターンをテストモードで再現する場合について説明したが、アクセス競合時に、リフレッシュ動作後にリード動作を行うワーストパターンをテストモードで擬似的に再現することにより、デバイス評価を行うようにしてもよい。

【 0 1 4 0 】

- ・同様に、第二実施形態において、リフレッシュ動作後にリード動作を行うワーストパターンをテストモードで擬似的に再現することにより、デバイス評価を行うようにしてもよい。

【 0 1 4 1 】

- ・各実施形態において、外部入力される制御信号 *CTL* は、チップイネーブル信号/*CE* , ライトイネーブル信号/*WE* , 出カイネーブル信号/*OE* に必ずしも限定されるものではない。

【 0 1 4 2 】

- ・各実施形態では、説明の都合上、外部アドレス信号 *ADD* としてはアドレス信号 *A0* , *A1* のみを図示（図 1 , 図 6）して説明したが、外部アドレス信号 *ADD* は複数ビットで与えられる。

【 0 1 4 3 】

・各実施形態では、パルス発生制御コードen-code は、コード発生回路内部のレジスタから読み出されて供給されるようにしたが、外部端子（専用の試験端子或いは試験時に使用されていない他の何れかの外部端子）を使用してパルス発生制御コードen-code をコマンド入力等により随時与えるようにしてもよい。この方法では、遷移検出回路 2 1 ～ 2 5 から出力される各検出信号ceb , web , oeb , ad0 , ad1 の任意の（立ち上がり／立ち下がり）エッジを、パルス発生制御コードen-code によりマスクすることが可能となる。

【 0 1 4 4 】

・デバイス（DRAM）に存在する不良モードの例は、各実施形態で説明した例に限定されないのは言うまでもなく、デバイス評価を実施する際には、パルス合成回路 2 6 （第二実施形態ではパルス合成回路 3 2）にて論理合成する信号を適宜変更しながら行う。

【 0 1 4 5 】

・同様に、テストモードの例は、各実施形態で説明した例（ワーストパターンを再現するテストモード）に限定されないのは言うまでもなく、その他の動作パターンをテストモードにて再現してデバイス評価を行うようにしてもよい。

【 0 1 4 6 】

・図 2 に示す遷移検出信号発生回路 2 0 の構成及び図 3 に示すリフレッシュ判定回路の構成は一例であり、それらに限定されるものではない。

・図 8 に示す遷移検出信号発生回路 3 1 の構成は一例であり、これに限定されるものではない。

【 0 1 4 7 】

・第二実施形態において、図 8 に示す遷移検出信号発生回路 3 1 の構成は、図 9 に示すように変更してもよい。即ち、図 8 に示すパルス合成回路 3 2 を図 9 に示すパルス合成回路 3 4 に変更してもよい。ただし、この構成は、テストモードにてデバイス評価を行う際にのみ適した構成である。詳述すると、パルス合成回路 3 4 は、コマンド用遷移検出信号mtdcs を生成するための複数のインバータ回路 3 4 a ～ 3 4 d と 1 つの信号合成用回路（図中、ナンド回路 3 4 e）とを備える。また、このパルス合成回路 3 4 は、リフレッシュ用遷移検出信号mtdrs を生

成するための複数の信号選択用回路（図中、ナンド回路 3 2 f ～ 3 2 i）と 1 つの信号合成用回路（図中、ナンド回路 3 2 j）とを備える。つまり、このパルス合成回路 3 4 は、パルス発生制御コード en-code（図中、en-ceb，en-web，en-oeb，en-ad0）に基づいて各検出信号ceb，web，oeb，ad0 を選択的に論理合成し、リフレッシュ用遷移検出信号mtdrs を生成する。このような構成を用いて、テストモードによりデバイス評価を行う際にも第二実施形態と同様の効果を奏する。

【 0 1 4 8 】

上記各実施形態の特徴をまとめると以下のようになる。

（付記 1） 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置であって、

複数の外部端子から入力される各入力信号の遷移を検出し、前記各入力信号を論理合成して前記第 1 アクセスモードを処理するための第 1 エントリー信号を生成する遷移検出信号発生回路と、

前記第 1 エントリー信号に応答して前記第 1 アクセスモードの処理に対応した第 1 モードトリガ信号と、前記第 2 アクセスモードを処理するための第 2 エントリー信号に応答して前記第 2 アクセスモードの処理に対応した第 2 モードトリガ信号とを生成する制御回路と、を備え、

前記遷移検出信号発生回路には、前記複数の外部端子から入力される各入力信号を選択的に論理合成するための選択制御信号が入力されることを特徴とする半導体記憶装置。

（付記 2） 前記選択制御信号は、テスト信号の入力時に実施される試験時に於いて前記遷移検出信号発生回路に入力されることを特徴とする付記 1 記載の半導体記憶装置。

（付記 3） 前記選択制御信号は、前記各入力信号のうち論理合成する信号を、前記各入力信号毎に設定可能とするように生成されるコード情報であることを特徴とする付記 1 又は 2 記載の半導体記憶装置。

（付記 4） 前記遷移検出信号発生回路は、

前記各入力信号の遷移をそれぞれ検出する複数の遷移検出回路と、

前記選択制御信号に基づいて、前記複数の遷移検出回路から出力される各検出信号を選択的に論理合成して前記第 1 エントリー信号を生成するパルス合成回路と、

を備えることを特徴とする付記 1 乃至 3 の何れか一記載の半導体記憶装置。

(付記 5) 前記制御回路は、テスト信号の入力時には、前記第 2 エントリー信号を無効化し前記第 1 エントリー信号に応答して前記第 2 モードトリガ信号を生成することを特徴とする付記 1 乃至 4 の何れか一記載の半導体記憶装置。

(付記 6) 前記遷移検出信号発生回路は、

前記選択制御信号に基づいて前記各入力信号を選択的に論理合成し、前記第 2 アクセスモードを処理するための第 3 エントリー信号をさらに生成することを特徴とする付記 1 乃至 3 の何れか一記載の半導体記憶装置。

(付記 7) 前記遷移検出信号発生回路は、

前記各入力信号の遷移をそれぞれ検出する複数の遷移検出回路と、

前記選択制御信号に基づいて、前記複数の遷移検出回路から出力される各検出信号を選択的に論理合成して前記第 1 エントリー信号と前記第 3 エントリー信号とを生成するパルス合成回路と、

を備えることを特徴とする付記 6 記載の半導体記憶装置。

(付記 8) 前記制御回路は、テスト信号の入力時には、前記第 2 エントリー信号を無効化し前記第 3 エントリー信号に応答して前記第 2 モードトリガ信号を生成することを特徴とする付記 6 又は 7 記載の半導体記憶装置。

(付記 9) 前記制御回路は、

前記第 1 エントリー信号に応答して前記第 1 モードトリガ信号を生成するモードトリガ発生回路と、

前記 2 エントリー信号と前記第 3 エントリー信号とが入力され、前記テスト信号の入力時に前記第 2 エントリー信号を無効化し、前記第 3 エントリー信号に応答して前記第 2 モードトリガ信号を生成する判定回路と、

前記第 1 モードトリガ信号と前記第 2 モードトリガ信号とにそれぞれ対応した種々の内部動作信号を生成する信号発生回路と、

を備えることを特徴とする付記 8 記載の半導体記憶装置。

(付記 1 0) 前記複数の外部端子は複数の制御信号を入力するための端子と複数のアドレス信号を入力するための端子とを含むことを特徴とする付記 1 乃至 9 の何れか一記載の半導体記憶装置。

(付記 1 1) 第 1 アクセスモードと第 2 アクセスモードとを処理する半導体記憶装置の試験方法であって、

テスト信号を入力する第 1 のステップと、

複数の外部端子から入力する各入力信号のうち選択した特定の入力信号の遷移を検出して前記第 2 アクセスモードの処理を開始する第 2 のステップと、
を含むことを特徴とする半導体記憶装置の試験方法。

(付記 1 2) 前記第 2 アクセスモードの処理が終了した後、前記第 2 のステップで選択された入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 3 のステップ、

をさらに含むことを特徴とする付記 1 1 記載の半導体記憶装置の試験方法。

(付記 1 3) 前記第 1 アクセスモードの処理が終了した後、前記第 2 のステップで選択されない他の入力信号の遷移に対応する前記第 1 アクセスモードの処理を開始する第 4 のステップ、

をさらに含むことを特徴とする付記 1 2 記載の半導体記憶装置の試験方法。

(付記 1 4) 前記半導体記憶装置には前記第 2 アクセスモードの処理を要求するための信号を所定の時間間隔毎に生成するタイマが内蔵され、

前記第 2 のステップでは、前記タイマからの信号を前記テスト信号により無効化することを特徴とする付記 1 1 乃至 1 3 の何れか一記載の半導体記憶装置の試験方法。

【 0 1 4 9 】

【発明の効果】

以上詳述したように、本発明によれば、デバイス評価を容易且つ的確に行うことのできる半導体記憶装置及び半導体記憶装置の試験方法を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態の半導体記憶装置の一部ブロック回路図である。

- 【図 2】 図 1 の遷移検出回路の一構成例を示す回路図である。
- 【図 3】 リフレッシュ判定回路の一構成例を示す回路図である。
- 【図 4】 第一実施形態の動作波形図である（不良モード検出例）。
- 【図 5】 第一実施形態の動作波形図である（テストモード実施例）。
- 【図 6】 第二実施形態の半導体記憶装置の一部ブロック回路図である。
- 【図 7】 メモリ制御回路のブロック回路図である。
- 【図 8】 図 6 の遷移検出回路の一構成例を示す回路図である。
- 【図 9】 別の遷移検出回路の構成例を示す回路図である。
- 【図 1 0】 第二実施形態の動作波形図である（不良モード検出例）。
- 【図 1 1】 第二実施形態の動作波形図である（テストモード実施例）。
- 【図 1 2】 第二実施形態の動作波形図である（テストモード実施例）。
- 【図 1 3】 従来の半導体記憶装置の一部ブロック回路図である。
- 【図 1 4】 メモリ制御回路のブロック回路図である。
- 【図 1 5】 遷移検出回路の動作原理を示す波形図である。
- 【図 1 6】 メモリ制御回路の動作原理を示す波形図である。
- 【図 1 7】 メモリ制御回路の動作原理を示す波形図である。
- 【図 1 8】 テストモードを説明するための動作波形図である。
- 【図 1 9】 不良モードの例を示す動作波形図である。
- 【図 2 0】 従来の動作波形図である。
- 【図 2 1】 動作パターンの例を示す動作波形図である。
- 【図 2 2】 図 2 1 に対する従来のテストモードの動作波形図である。
- 【図 2 3】 動作パターンの例を示す動作波形図である。
- 【図 2 4】 図 2 3 に対する従来のテストモードの動作波形図である。

【符号の説明】

CTL (/CE , /WE , /OE), ADD (A0, A1) 複数の外部端子から入力される各入力信号としての制御信号, 外部アドレス信号

en-code 選択制御信号としてのパルス発生制御コード

mtds 第 1 エントリー信号としての遷移検出信号

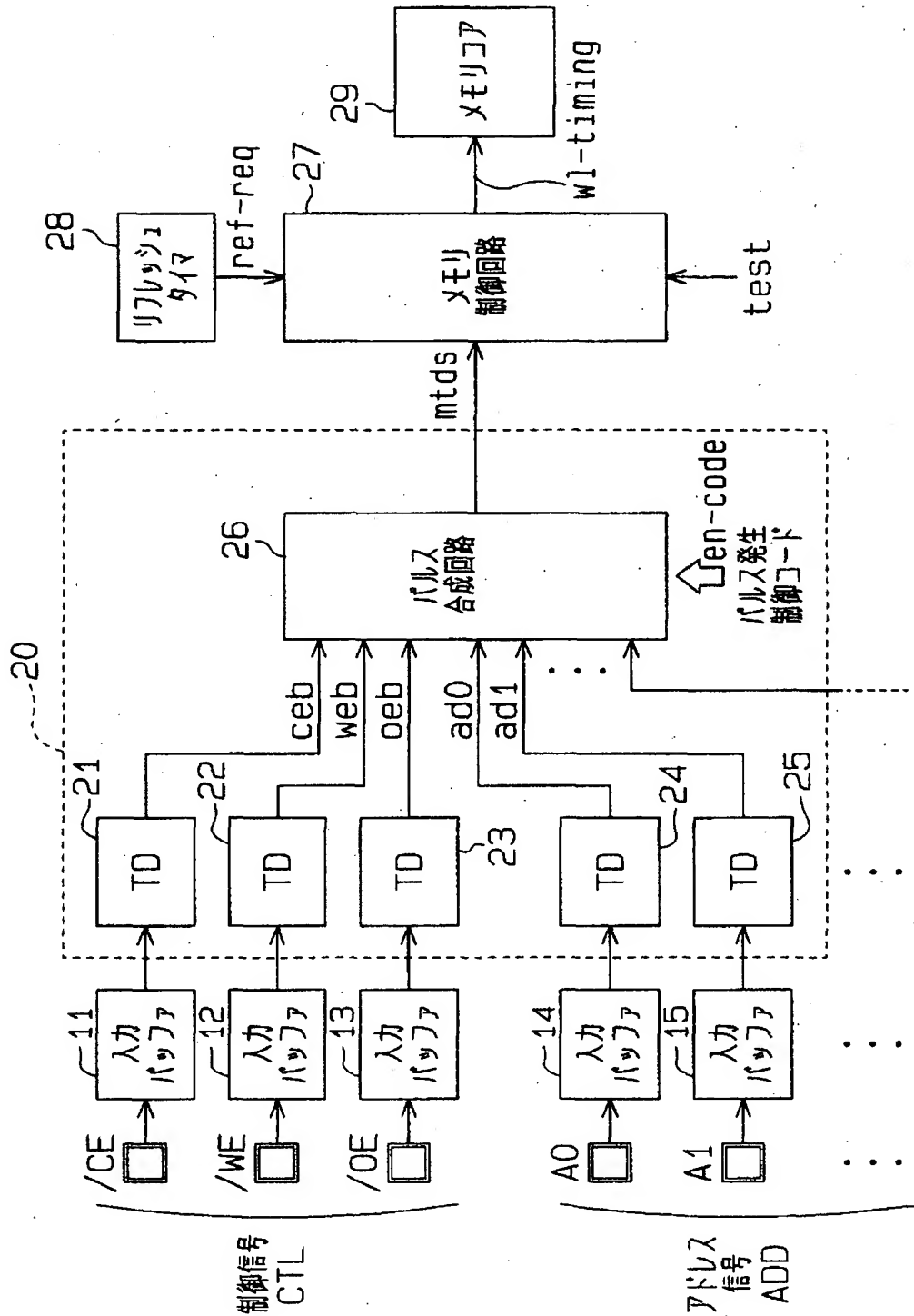
mtdc 第 1 エントリー信号としてのコマンド用遷移検出信号

ref-req 第 2 エントリー信号としてのリフレッシュ要求信号
mtdrs 第 3 エントリー信号としてのリフレッシュ用遷移検出信号
rw-start 第 1 モードトリガ信号としてのリード／ライト開始信号
ref-start 第 2 モードトリガ信号としてのリフレッシュ開始信号
2 0 , 3 1 遷移検出信号発生回路
2 1 ~ 2 5 遷移検出回路
2 6 , 3 2 パルス合成回路
2 7 , 3 3 制御回路としてのメモリ制御回路

【書類名】 図面

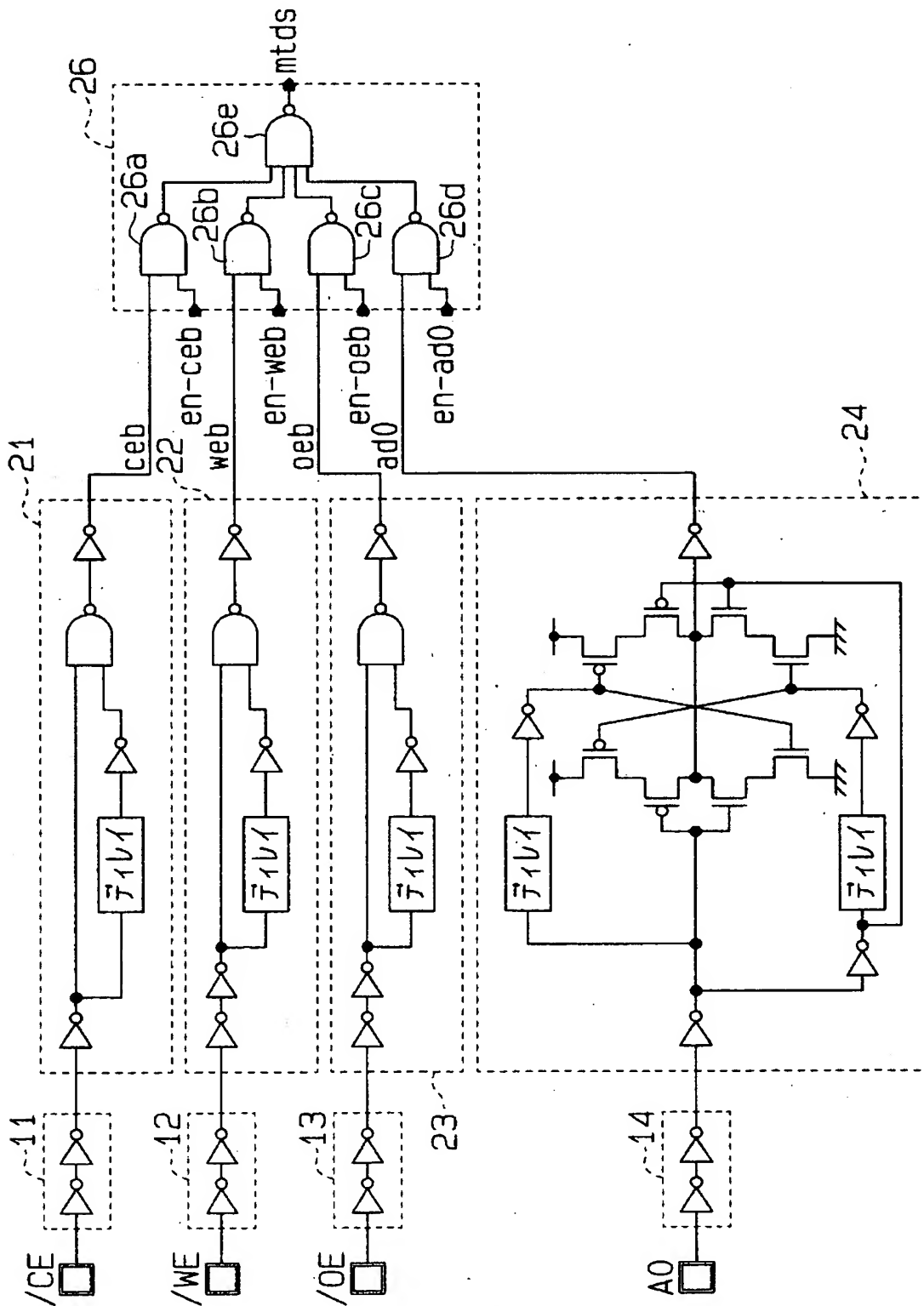
【図 1】

第一実施形態の半導体記憶装置の一部ブロック回路図



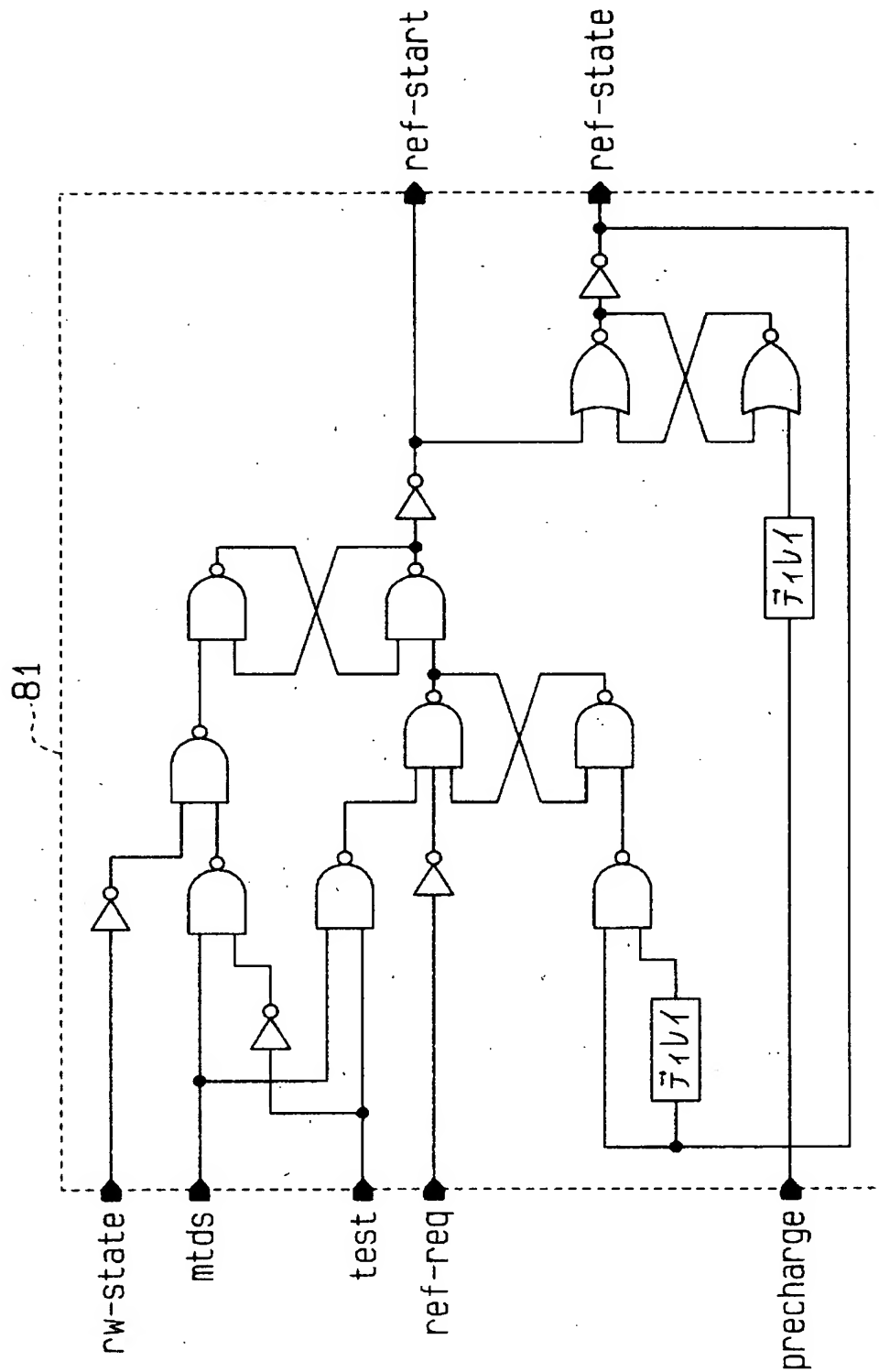
【図 2】

図1の遷移検出信号発生回路の一構成例を示す回路図



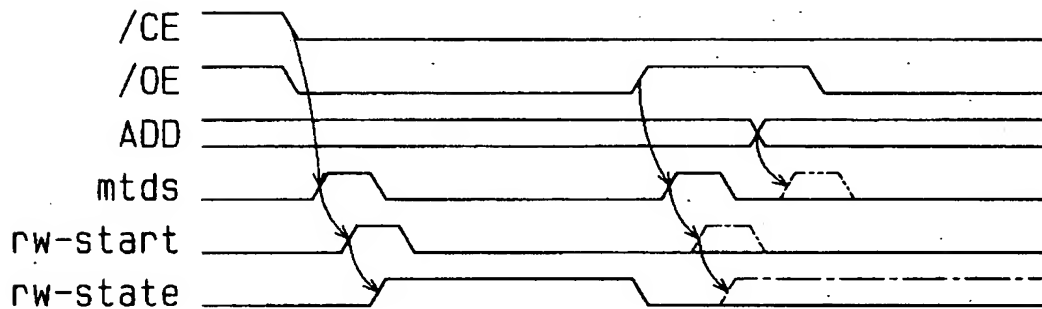
【図 3】

リフレッシュ判定回路の一構成例を示す回路図



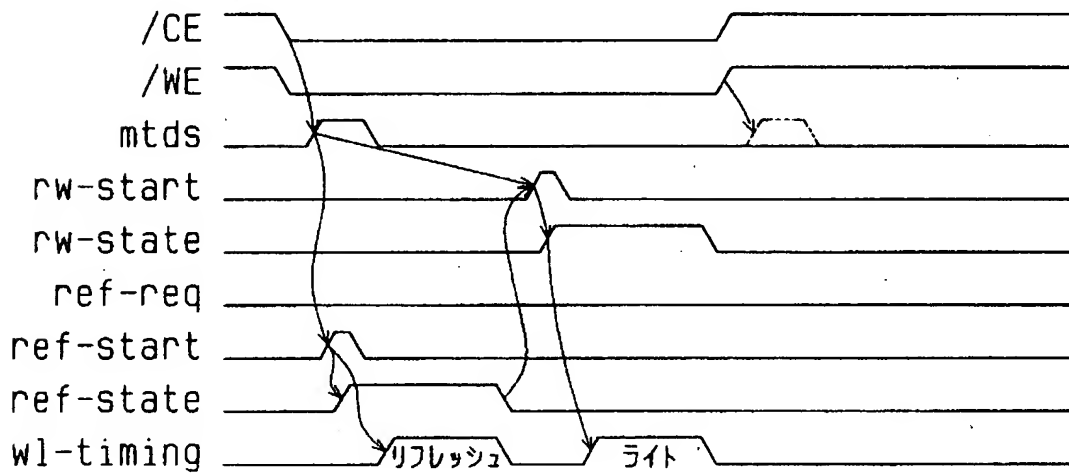
【図 4】

第一実施形態の動作波形図 (不良モード検出例)



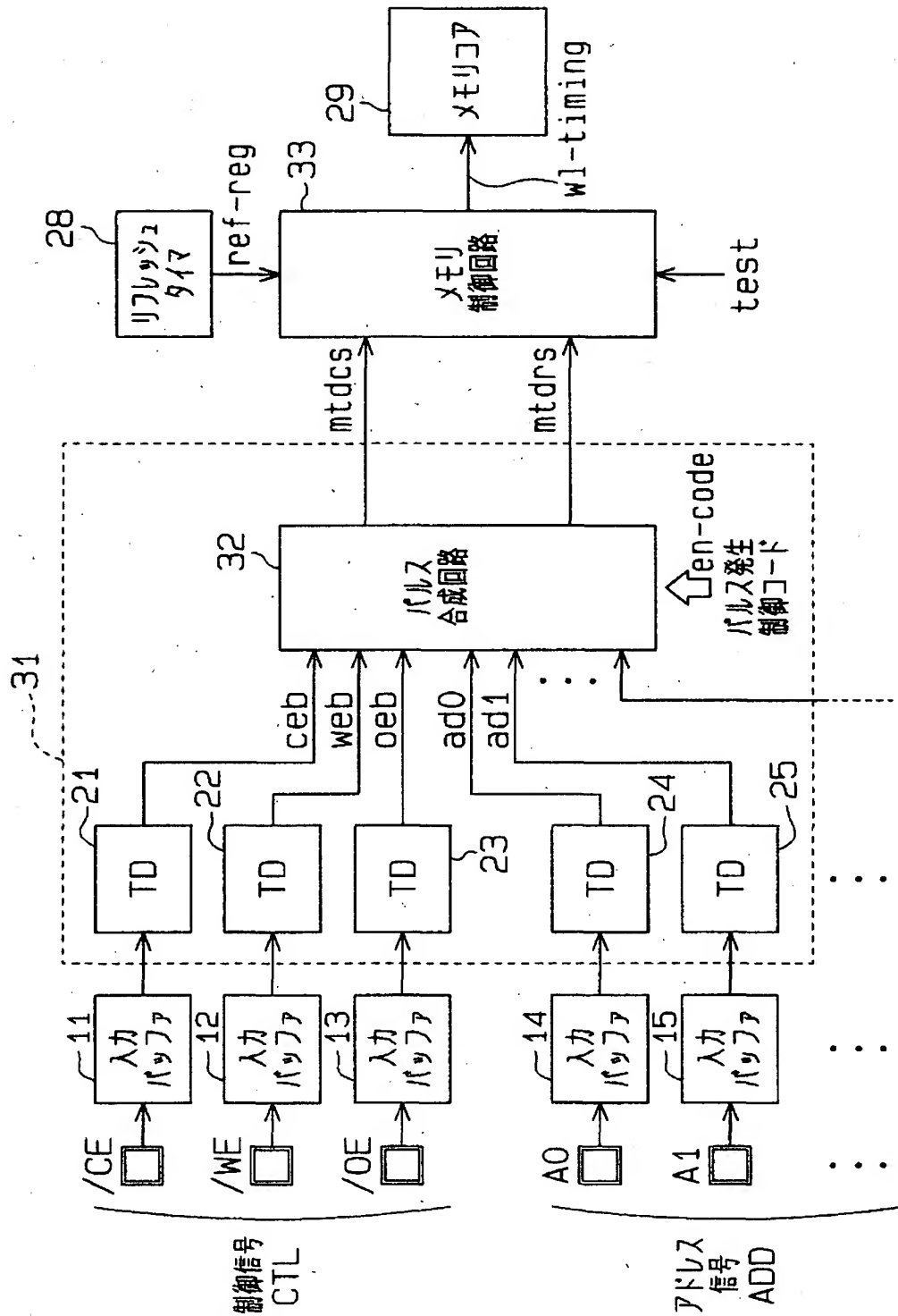
【図 5】

第一実施形態の動作波形図 (テストモード実施例)



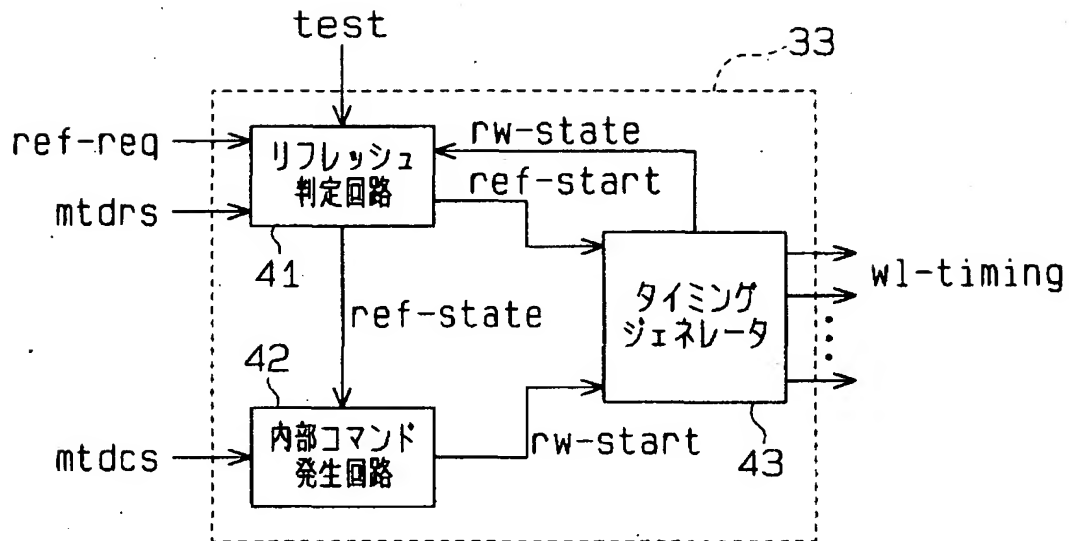
【図 6】

第二実施形態の半導体記憶装置の一部ブロック回路図



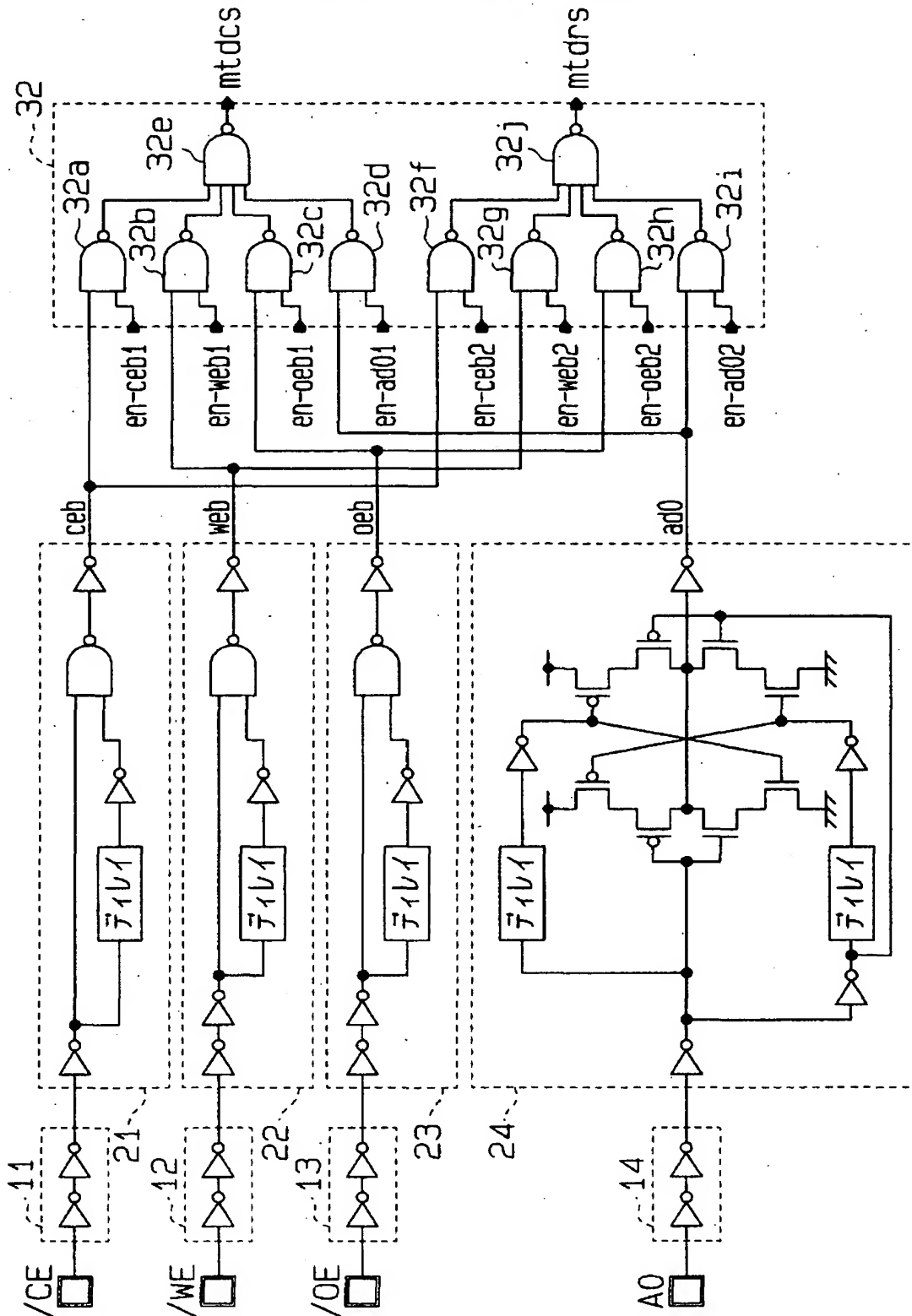
【図 7】

メモリ制御回路のブロック回路図



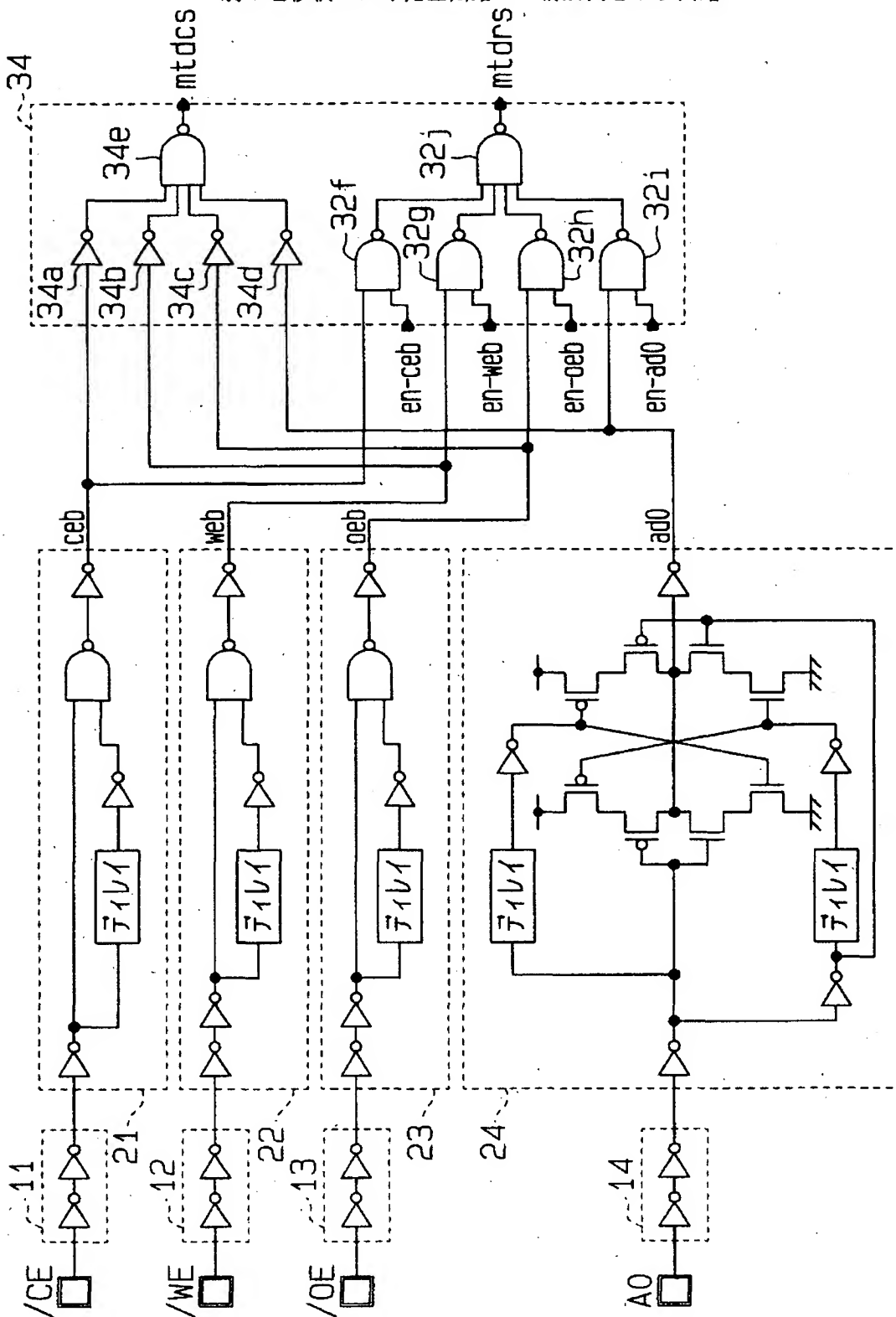
【図 8】

図6の遷移検出信号発生回路の構成例を示す回路図



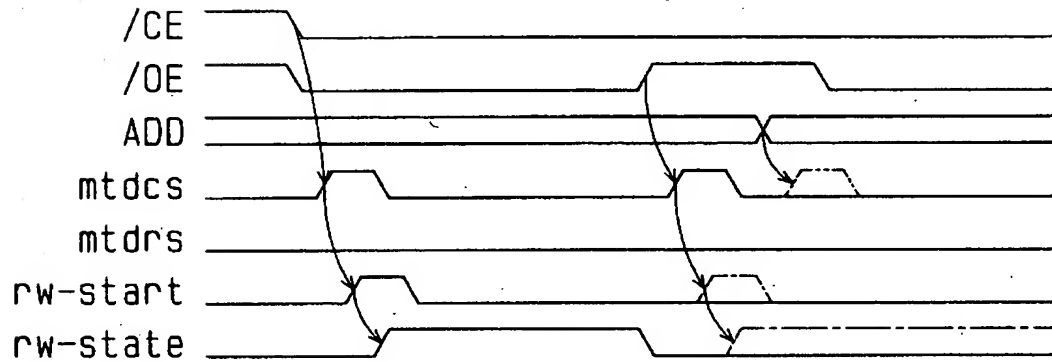
【図9】

別の遷移検出信号発生回路の一構成例を示す回路図



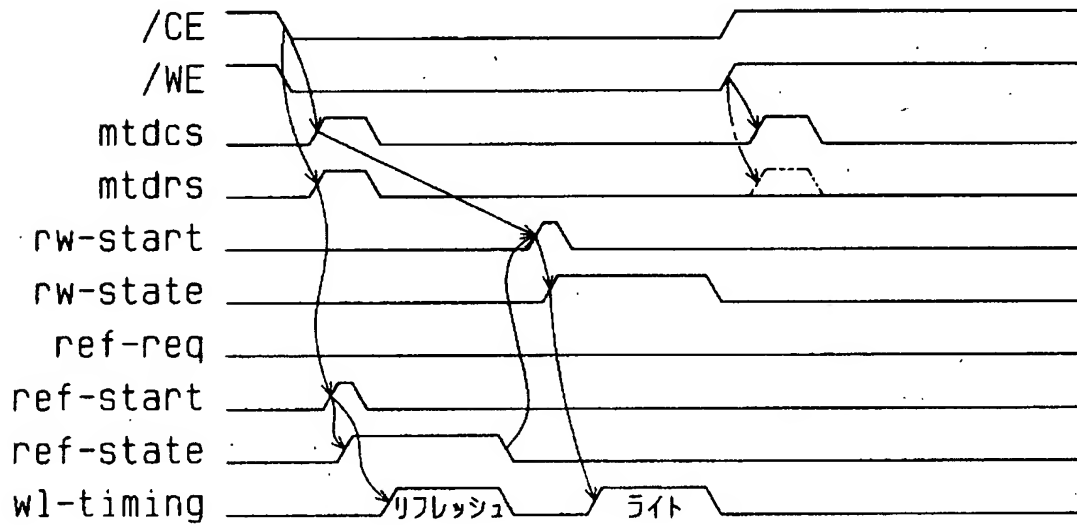
【図 1 0】

第二実施形態の動作波形図 (不良モード検出例)



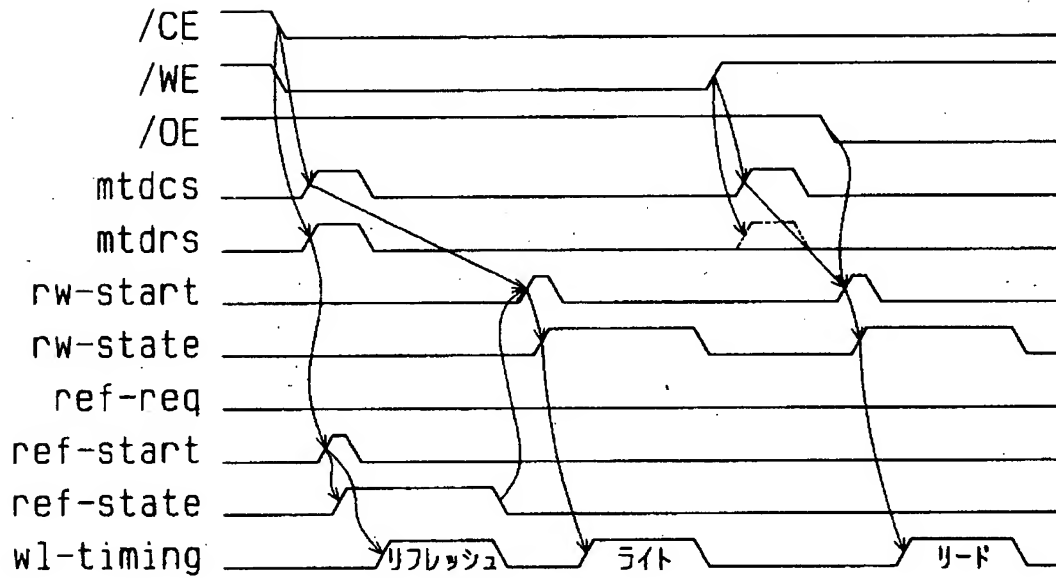
【図 1 1】

第二実施形態の動作波形図 (テストモード実施例)



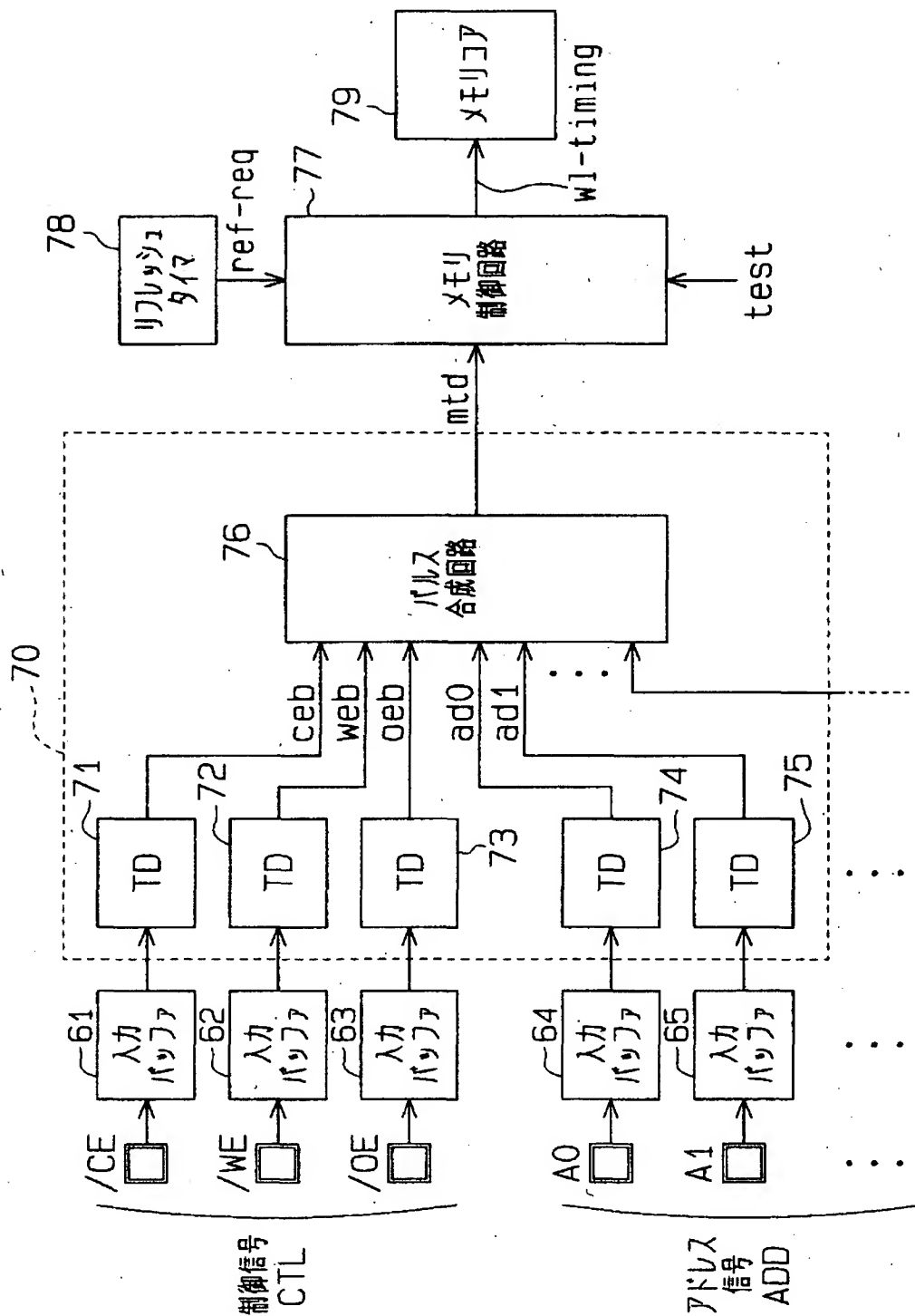
【図 12】

第二実施形態の動作波形図 (テストモード実施例)



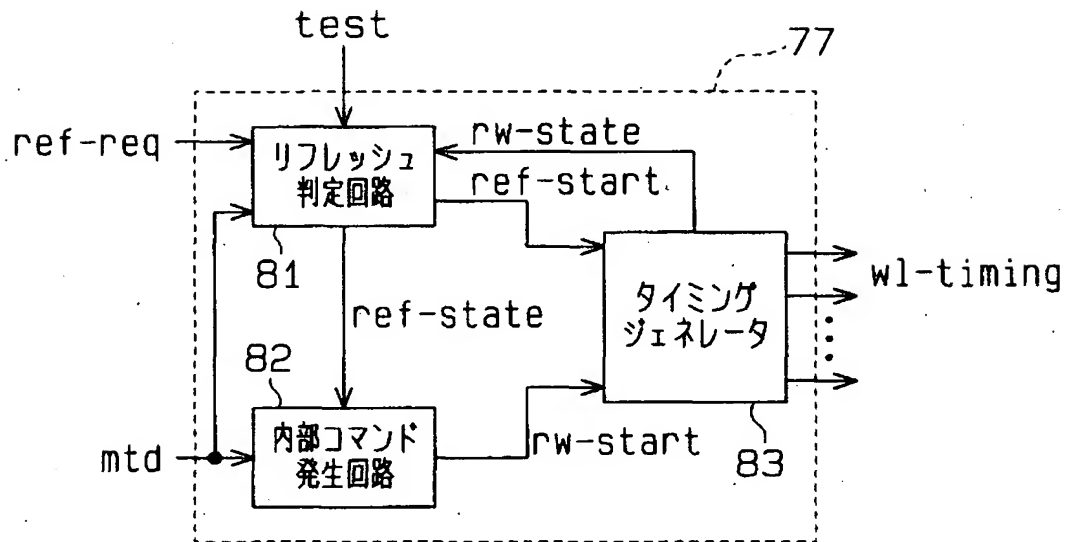
【図13】

従来の半導体記憶装置の一部ブロック回路図



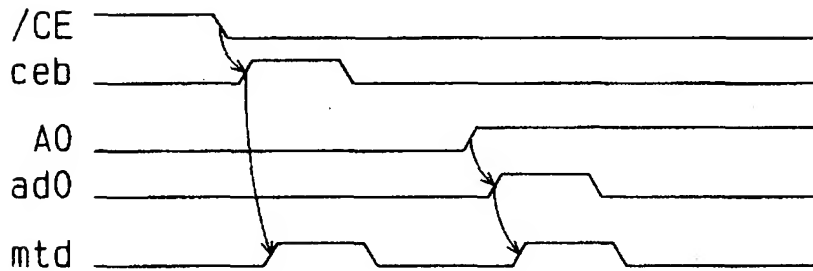
【図 1 4】

メモリ制御回路のブロック回路図



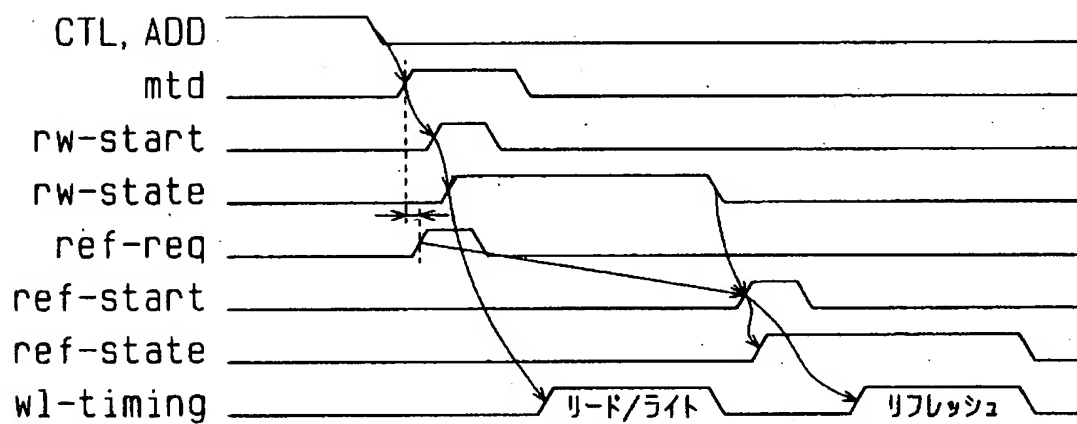
【図 1 5】

遷移検出信号発生回路の動作原理を示す波形図



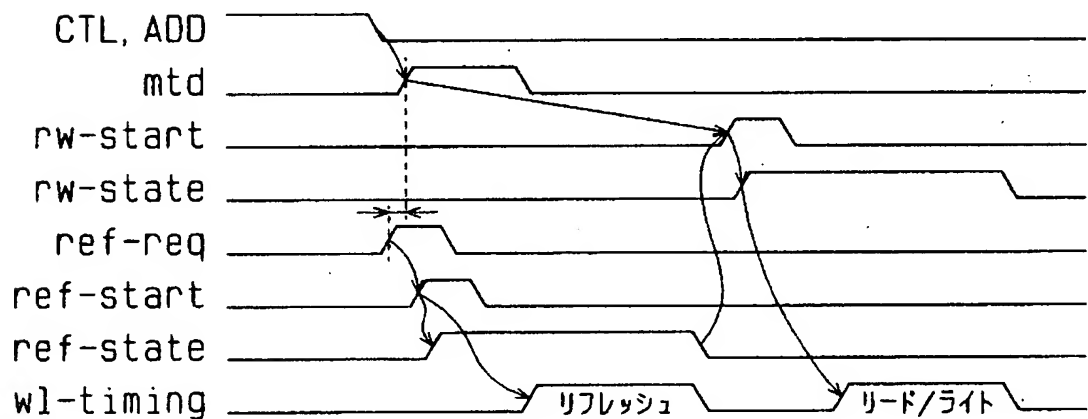
【図 16】

メモリ制御回路の動作原理を示す波形図



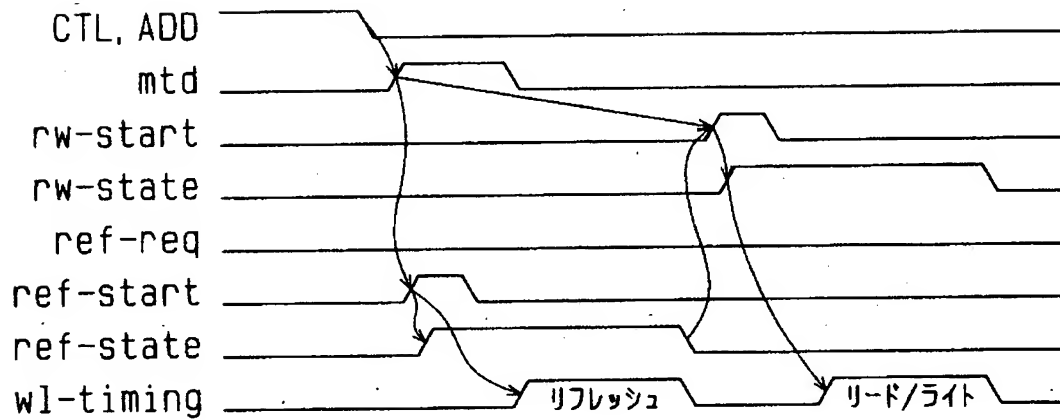
【図 17】

メモリ制御回路の動作原理を示す波形図



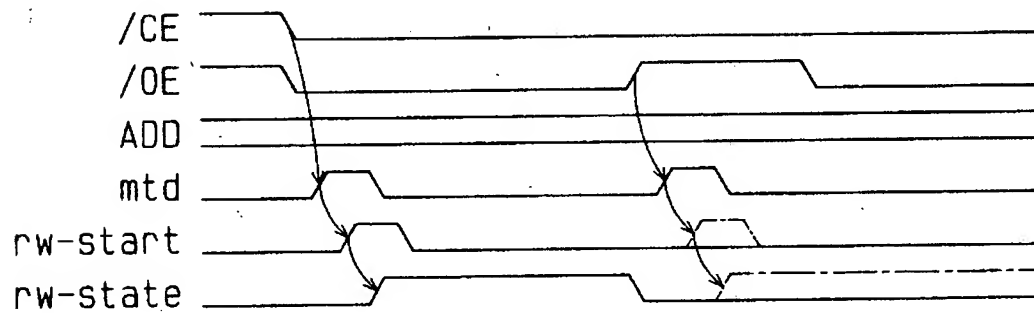
【図18】

テストモードを説明するための動作波形図



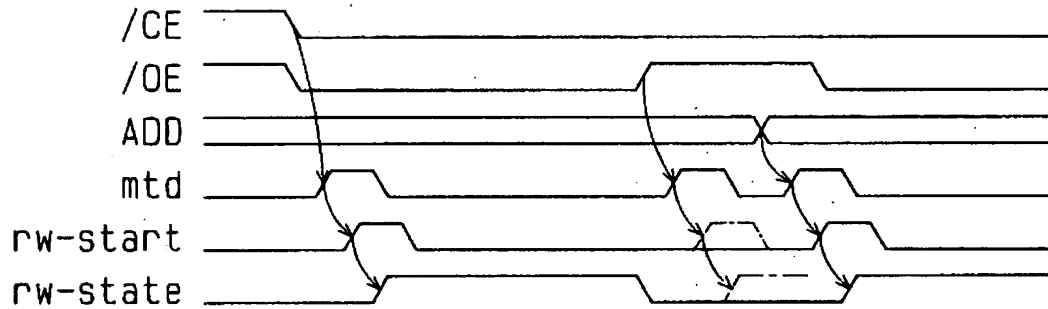
【図19】

不良モードの例を示す動作波形図



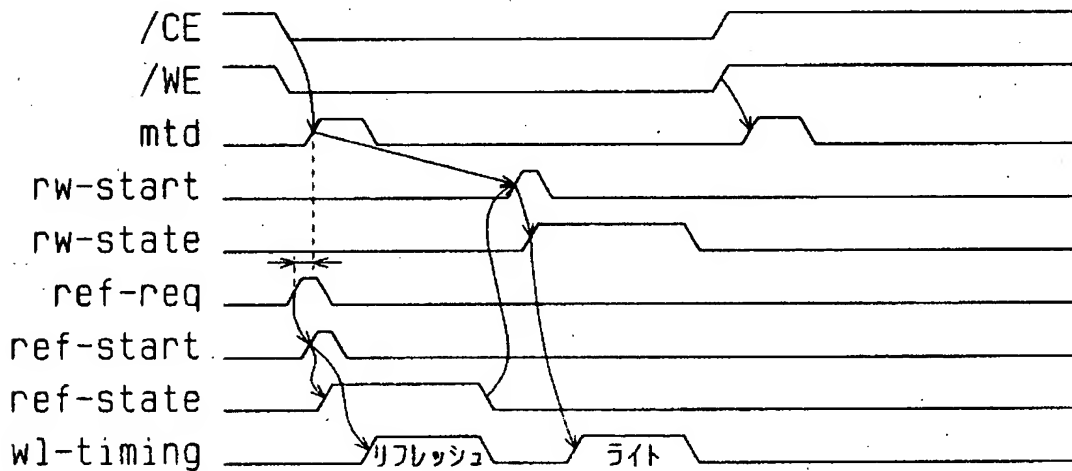
【図 2 0】

従来の動作波形図



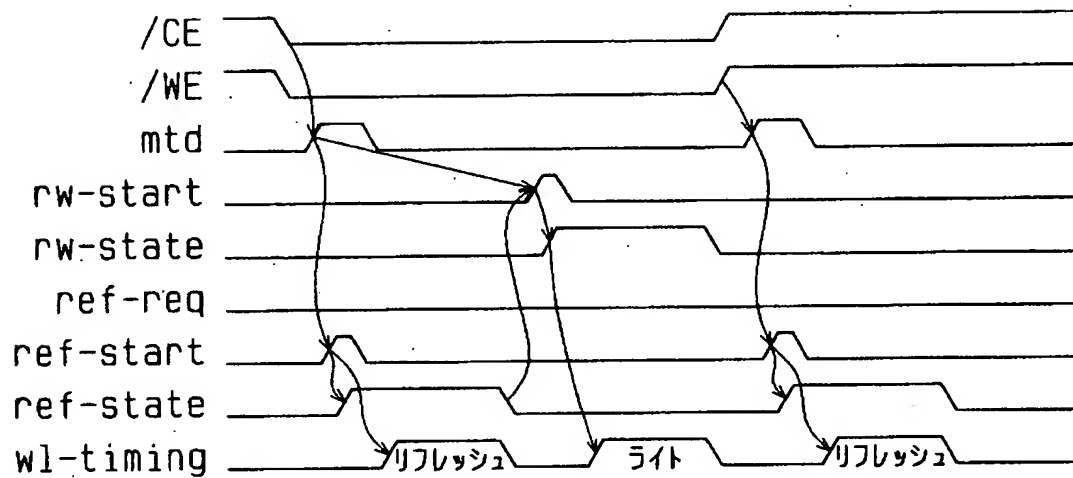
【図 2 1】

動作パターンの例を示す動作波形図



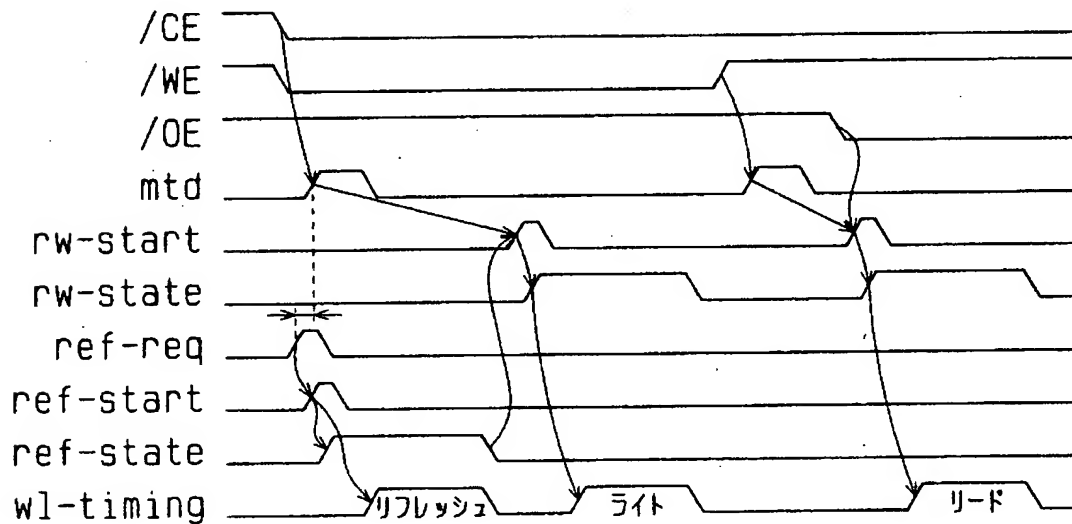
【図 22】

図21に対する従来のテストモードの動作波形図



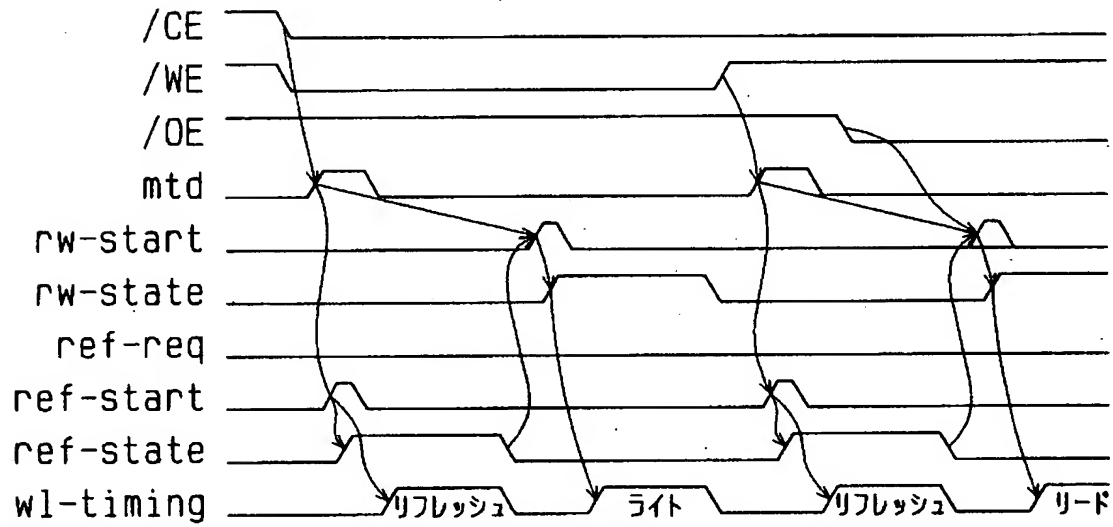
【図 23】

動作パターンの例を示す動作波形図



【図 2 4】

図23に対する従来のテストモードの動作波形図



【書類名】 要約書

【要約】

【課題】 デバイス評価を容易且つ的確に行うことのできる半導体記憶装置を提供すること。

【解決手段】 パルス合成回路 2 6 は、制御信号CTL (/CE , /WE , /OE)の遷移を検出する遷移検出回路 2 1 ~ 2 3 からの検出信号ceb , web , oeb 及び外部アドレス信号ADD (A0, A1)の遷移を検出する遷移検出回路 2 4 , 2 5 からの検出信号ad0 , ad1 をパルス発生制御コードen-code により選択的に論理合成した遷移検出信号mtdsを生成する。これにより、不良モードの存在の有無を容易に且つ的確に検出することが可能となる。また、テストモードでは、無用なりフレッシュ動作の発生を抑止して、所望の動作パターンを擬似的に再現することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社